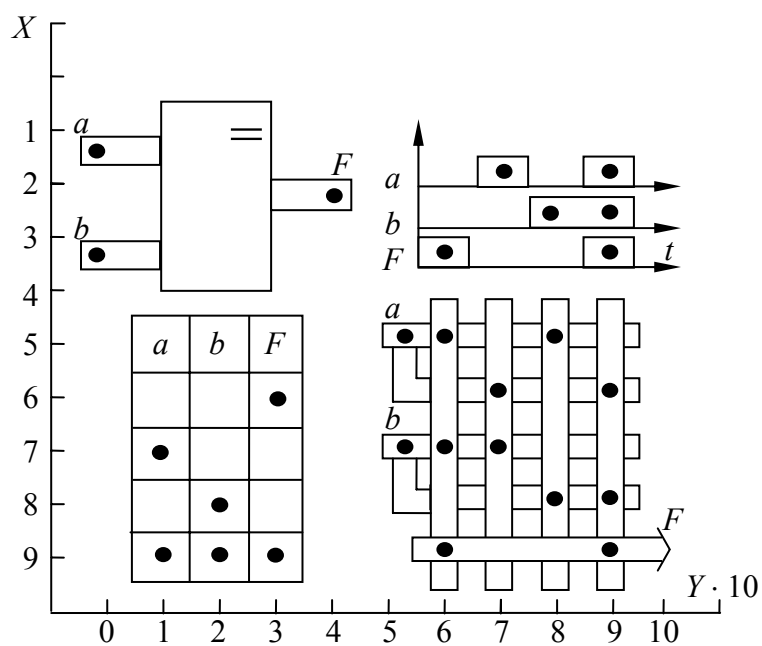


Е.И. Глинкин, Б.И. Герасимов

Микропроцессорные средства



УДК 681.3
ББК 6Ф7.3
Г54

Р е ц е н з е н т

Доктор технических наук, профессор
Д.А. ДМИТРИЕВ

Глинкин, Е.И.

Г5
4 **Микропроцессорные средства : монография / Е.И. Глинкин, Б.И. Герасимов. – Изд. 2-е, испр. – Тамбов : Изд-во Тамб. гос. техн. ун-та, 2007. – 144 с. – 400 экз. – ISBN 978-5-8265-0634-9.**

Рассмотрены технология проектирования интегральных схем в комбинаторной, релейной и матричной логике, разработки на их основе микротренажеров и микропроцессорных средств.

Приведены примеры внедрения в приборостроение программируемых микрокалькуляторов. Описаны практические решения математического моделирования, аппаратные и программные средства, метрологическое обеспечение микропроцессорных приборов.

Предназначена для широкого круга инженерно-технических работников, занятых в области измерительной техники.

УДК 681.3
ББК 6Ф7.3

ISBN 978-5-8265-0634-9 © Глинкин Е.И., Герасимов Б.И., 2007
© ГОУ ВПО "Тамбовский государственный
технический университет" (ТГТУ), 2007

Министерство образования и науки Российской Федерации
ГОУ ВПО "Тамбовский государственный технический университет"

Е.И. Глинкин, Б.И. Герасимов

Микропроцессорные средства

Монография

Издание второе, исправленное



ТАМБОВ
Издательство ТГТУ
2007

НАУЧНОЕ ИЗДАНИЕ

ГЛИНКИН Евгений Иванович,
ГЕРАСИМОВ Борис Иванович

Микропроцессорные средства

Монография

Издание второе, исправленное

Редактор М.А. Евсейчева
Инженер по компьютерному макетированию М.Н. Рыжкова
Корректор О.М. Ярцева

Подписано в печать 1.11.2007.
Формат 60 × 84/16. 8,37 усл. печ. л. Тираж 400 экз. Заказ № 684

Издательско-полиграфический центр
Тамбовского государственного технического университета
392000, Тамбов, Советская, 106, к. 14

ОГЛАВЛЕНИЕ

Предисловие	5
Глава 1. ОСНОВЫ МИКРОПРОЦЕССОРНОЙ ТЕХНИКИ	10
1.1. Аппаратные средства	12
1.2. Программное обеспечение	18
1.3. Математическое обеспечение	19
1.4. Метрологические средства	21
1.5. Информационное обеспечение	24
1.6. Математические модели и архитектура	29
1.7. Развитие микропроцессорных средств	35
Глава 2. ПРОЕКТИРОВАНИЕ МИКРОПРОЦЕССОРНЫХ СРЕДСТВ И ПРИБОРОВ	41
2.1. Способы представления функций	41
2.2. Проектирование аппаратных средств	47
2.3. Структурные схемы	49
2.4. Анализ структурной схемы	51
2.5. Интегральные схемы	53
Метод делителя напряжения	53
Анализ логических элементов методом делителя напряжения	55
2.6. Синтез схем в матричной логике	63
Проектирование по таблице истинности	63
Проектирование по структурной формуле	64
Проектирование по временной диаграмме	65
2.7. Проектирование релейной логики	67
Синтез по таблице истинности	67
Анализ релейной схемы методом делителя напряжения ..	70
Анализ схемы по структурной формуле	71
Синтез схем по формулам	72
Проектирование по временной диаграмме	72
2.8. Проектирование СИС	72
Коды	73
Проектирование дешифратора	79
Таблица мультиплексора	87
Проектирование мультиплексора	89
Глава 3. МИКРОПРОЦЕССОРНЫЕ СРЕДСТВА	97
Микротренажеры	97
Логические микротренажеры	98
Функциональные микротренажеры	106
Универсальные микротренажеры	112
Список литературы	136

ПРЕДИСЛОВИЕ

Практическое пособие по микропроцессорным средствам и приборам является обобщением разработок авторов по созданию и использованию микропроцессорной техники, в нем нашли отражение творческие технические решения СКБ ТЕМП, полученные с помощью программируемых микрокалькуляторов (ПМК).

ПМК – программно-управляемый вычислитель, но в отличие от более мощных компьютерных средств – микро- и мини-ЭВМ – он организован по кольцевой архитектуре на число-импульсных микропроцессорах. Доступный язык машинного программирования, простота конструкции и низкая стоимость – основные преимущества ПМК как базовой модели микропроцессорных средств для учебного процесса, научно-технического творчества и исследовательских работ. Эти и другие достоинства позволили использовать ПМК для экспресс-измерений, контроля качества веществ и автоматизации технологических процессов.

Микропроцессорный бум вокруг кодоимпульсных больших интегральных схем (БИС) с программным и микропрограммным управлением не оставил места в технической литературе альтернативному направлению – число-импульсным программно-управляемым матричным структурам, положенным в основу кольцевой архитектуры ПМК. Идеологи ЭВМ, подготавливая микропроцессор под процессор, усмотрели в первом лишь его прямое назначение как вычислителя, не принимая во внимание тот факт, что микропроцессор – более гибкое и универсальное логическое средство управления. Поэтому интеллектуальные, материальные и экономические ресурсы были ориентированы на компьютеризацию вычислительных процессов микропроцессорными средствами, представляемыми процессорами в миниатюре. Число-импульсные микропроцессоры, не укладывающиеся в схему процессорной идеологии, в отличие от младших братьев кодоимпульсного преобразования, по умолчанию, принимались как объекты вне закона, а класс микрокалькуляторов был отнесен к разряду игрушек, в лучшем случае к бытовой технике, не требующей особых забот и внимания.

Однако ПМК позволили пользователям и разработчикам приборов увидеть их главное предназначение в программно-управляемом логическом преобразовании. Пока совершалась компьютерная революция, число-импульсные микропроцессоры, контроллеры покорили безграничные по отношению к вычислительной технике области измерения и контроля, управления и регулирования. Метрологическое и математическое обеспечение процессов измерения расширило представление об архитектуре микропроцессорных средств. Алгоритм измерения и нормирования, анализа и контроля, коррекции и калибровки, управления и регулирования потребовали повышения гибкости и универсальности измерительно-вычислительных систем без привлечения дополнительных затрат. Ограниченные ресурсы ПМК лишь обостряли возникшее противоречие и требовали разработки вспомогательных микропроцессорных средств. Поэтапное совершенствование автоматических и диалоговых интерфейсов ввода-вывода, периферийных микропроцессоров и интерфейсов памяти расширило функциональные возможности микропроцессорных измерительных средств для научных исследований, а микропроцессорная оснастка была воплощена в виде микротренажеров и микроконтроллеров для процесса обучения.

Коллектив СКБ ТЕМП решал широкий класс задач, который на первом этапе обучения охватывал стандартные задачи микроэлектроники. Обобщение приемов стандартных решений привело к созданию инженерной методики синтеза и анализа программно-управляемых средств по методу аналогии. Сущность метода аналогии заключается в использовании подобия аппаратных и программных средств, математического и физического представления микроэлектронных структур. Многообразие форм представления интегральных схем позволяет по алгоритмам подобия осуществлять стандартные преобразования от временной диаграммы к структурной формуле, схеме и программе в необходимых для практики сочетаниях.

Идеологической основой метода аналогии послужила концепция информационной интеграции микроэлектроники, позволяющая качественно оценить базисы полупроводниковой техники. В отличие от количественной теории технологической интеграции, классифицирующей базисы микроэлектроники по числу полупроводниковых элементов на единице площади (объема) кристалла, информационный подход позволяет увидеть диалектику становления и динамику развития микропроцессорных средств. Технологическая концепция, различающая микросхемы по степени интеграции на малые и средние, большие и сверхбольшие, не позволяла указать перспективы развития микроэлектроники и упорядочить разрастающуюся номенклатуру интегральных схем по качественным признакам. Это концентрировало силы на технологии очистки полупроводниковых материалов, ставшей экономически неэффективной, и разработке узкоспециализированных мелкосерийных приборов по широкому номенклатурному профилю. Различные методы создания аппаратных и программных средств усугубляли беспорядок при проектировании микроэлектронных структур, в результате вместо синтеза использовали многошаговый итерационный анализ. Неверные теоретические предпосылки и хаос на практике возвели специалистов по микроэлектронике (и особенно по микропроцессорным средствам) в ранг "художников", создающих устройства микроэлектроники посредством озарения.

Поиск приемов и методов обучения микропроцессорным средствам в СКБ ТЕМП позволил выявить основные закономерности становления инженера на этапах решения стандартных и изобретательских задач, развеять мифы уникальности и неповторимости творческого озарения. Практический прием познания от простого к сложному, позволяющий реализовывать последовательность и преемственность как обучаемых, так и создаваемых микропроцессорных средств, вместе с усвоением методов аналогии и диалектического развития микроэлектроники по пути информационной интеграции воспитывает специалиста по микропроцессорным средствам. Следует отметить, что без теоретической подготовки и практических исследований невозможно выработать индивидуальный опыт. Микропроцессорные средства как носители порядка в функциональных, пространственных и временных координатах дисциплинируют инженера-разработчика, развивают трудолюбие и творческое воображение за счет многогранности форм представления на уровне аппаратных и программных средств, математического и метрологического обеспечения. Градация аппаратных средств на элементы комбинаторной, релейной и матричной логики позволяет сопоставить и разумно использовать методы делителя напряжения, булевых преобразований и аналогии при анализе и синтезе стандартных технических решений.

Творческие задачи повышения гибкости и универсальности микропроцессорных средств решаются методом аналогии и оценки интегральной информативности в соответствии с диалектикой становления базисных структур микроэлектроники и динамикой развития микропроцессорных разработок.

Основными критериями эффективности созданной модели служат метрологические и технологические, экономические и эргономические показатели, сравниваемые в процессе экспериментальных исследований с характеристиками аналогичных патентоспособных разработок, определяемых техническим заданием.

Тиражирование изделия позволяет выявить и исключить скрытые недостатки, которые могут быть не обнаружены даже при длительных испытаниях единственного образца. Поэтому созданию опытной модели предшествует изготовление макета, на котором осуществляют настройку и доводку архитектурных решений. Только после копирования и испытаний опытной модели макет используют для других целей или демонстрируют. Как видно, последовательность действий и преемственность, присущие проектированию, необходимы при изготовлении, тиражировании и модернизации микропроцессорных приборов. Макеты рационально использовать в виде базовой конструкции новых разработок, что экономит ресурсы и интенсифицирует динамику развития микропроцессорных средств.

Используя принципы последовательности и преемственности изложения материала, авторы практического пособия обосновывают идеологию информационной интеграции, являющейся теоретической базой метода аналогии, и анализируют оригинальные решения для закрепления инженерной методики проектирования микропроцессорных средств. Способы преобразования сигнала и процессов измерения, структурные схемы микропроцессорных средств и отдельных модулей защищены авторскими свидетельствами и патентами, реализованы натурными образцами в СКБ ТЕМП, не сложны для копирования и реализации на практике.

В книге рассмотрены основы микропроцессорной техники с диалектических позиций информационной интеграции. Представлены базисные структуры становления микроэлектроники от полупроводниковых приборов до сверхбольших интегральных схем (СБИС) и от микропроцессорных измерительных средств до интеллектуальных роботов. Приведено генеалогическое дерево микроэлектронных структур, определяющее иерархию аппаратно- и программно-управляемых средств по вертикали системных уровней и горизонтали функциональной дифференциации. Вертикальная ось позволяет проследить историю становления известных решений и предсказать вехи развития микроэлектроники. Ветви иерархического дерева отражают функциональную полноту и взаимозаменяемость базисных структур. В заключение проводится параллель между статикой и динамикой развития соответственно идеализированных и реальных микропроцессорных средств; последние с методической точки зрения разделены на микротренажеры и микроконтроллеры, системы и сети.

На основе концепции информационной интеграции рассмотрен метод синтеза по аналогии с различными способами представления функций. Подчеркнута многогранность проектируемых логических функций на уровне аппаратных и программных средств, математического и физического представления. Аппаратные средства методически поделены на элементы комбинаторной, релейной и матричной логики, в соответствии с которыми представлены основные методы расчета логических функций, целесообразных в практическом конструировании. С позиции инженерных расчетов приведены и сопоставлены методы булевых преобразований, делителя напряжения и аналогии, рациональные при проектировании соответственно схем в комбинаторной, релейной и матричной формах. Показана универсальность метода аналогии при анализе и синтезе логических функций при различных способах их представления. Примеры анализа и синтеза приведены на матрицах дешифратора и мультиплексора. Рассмотрены основные коды, применяемые при преобразованиях в микропроцессорных средствах, показано проектирование средних интегральных схем (СИС) по полной и векторной таблицам истинности.

Проведен анализ микропроцессорных средств на число-импульсных микроконтроллерах, реализованных СКБ ТЕМП. Проанализировано развитие архитектуры микротренажеров и микроконтроллеров, систем и сетей с учетом их гибкости и универсальности. Совершенствование математического и метрологического обеспечения рассмотрено на примере измерительно-вычислительных систем (ИВС) для определения качественных характеристик твердых и жидких сред. Приведены примеры приборов и ИВС для определения теплофизических свойств материалов, электрофизических характеристик угольных изделий и электрохимических свойств электролитов. Дан прогноз развития от структуры микропроцессорных средств к сенсорной структуре с адаптивными способами измерения. Способы обмена и передачи информации рассмотрены на примере микрокалькуляторных классов. Уделено внимание интерфейсам обмена и программируемым портам, интерфейсам памяти и отображения в сетях с проводной связью. Методические материалы позволят приборостроителям самостоятельно осуществить постановку задачи разработки конкретного прибора, диалектически обосновать архитектуру и алгоритм функционирования, сформулировать требования к метрологическому обеспечению и оценить эффективность выбранного решения исходя из динамики развития микропроцессорных средств. Предложенные авторами решения могут быть также воспроизведены для обучения и других целей.

Освещены методологические и практические вопросы программирования микропроцессорных приборов. При этом рассмотрены проблемы гибкости и погрешностей программного обеспечения.

Обсуждены особенности определения погрешностей микропроцессорных средств, проведены методологические и практические результаты по автоматизации метрологического обеспечения – создание и эксплуатация автоматизированных рабочих мест метрологов-исследователей и поверителей (АРМ-МИИП). Предложена практическая методика по расчету погрешностей микропроцессорных приборов в реальных условиях эксплуатации на базе ГОСТ 8.009–84.

В условиях рыночной экономики разрабатываемые микропроцессорные приборы должны быть конкурентоспособны с лучшими зарубежными аналогами.

Разработанные в СКБ ТЕМП микропроцессорные приборы и системы экспонировались на республиканских и международных выставках-смотрях, награждены дипломами, медалями и внедрены в народное хозяйство.

Глава 1

ОСНОВЫ МИКРОПРОЦЕССОРНОЙ ТЕХНИКИ

Основами микропроцессорной техники являются ключевые элементы микроэлектроники, определившие этапы ее развития и иерархическую структуру. Знакомство с иерархией по вертикали (по временной оси из прошлого через настоящее в будущее) и горизонтали (деление по назначению на функциональной оси) позволяет создать генеалогическое дерево микроэлектроники, проследить историю развития микропроцессорной техники, понять место микропроцессора среди других преобразователей в приборостроении и выявить назначение аппаратных и метрологических средств, программного и математического обеспечения.

Ключевые этапы развития микроэлектроники характеризуются становлением базисных структур. Под базисной структурой будем понимать функционально законченный на данном этапе интеграции ключевой элемент, необходимый и достаточный для реализации функции информационных процессов. Анализ развития микроэлектроники проведем с позиции модели информационной интеграции, использующей в качестве меры развития информацию. Информация – неотъемлемое свойство материи, т.е. любого процесса или объекта, – характеризует степень развития материи суммой функциональных возможностей. Развитие любого вида материи от появления до тиражирования характеризуется видоизменением информации по закономерному циклу: обмен – преобразование – управление – хранение – обработка – анализ – накопление – передача – синтез. Каждая новая функция информирует о появлении очередного этапа развития, более совершенного, гибкого и универсального. История науки и техники показывает, что одна область знания переходит в другую после развития по закономерному информационному циклу. Так, электроника привела к появлению микроэлектроники, логическим продолжением которой станут функциональная электроника и бионика. Если в бионике исходным элементом является нейрон, то в микроэлектронике – полупроводниковый прибор [99, 109].

Классификация базисных структур микроэлектроники с позиций информационного подхода от полупроводниковых приборов (ПП) до интеллектуальных роботов (ИР) приведена на рис. 1.1.

Из ПП возникли интегральные схемы (ИС), затем средние (СИС), большие (БИС) и сверхбольшие (СБИС) интегральные схемы. Они появились в процессе поэтапной интеграции функций: обмен – преобразование – управление – хранение – обработка. Интеграция функций обмена, преобразования и управления сформировала аппаратные средства микроэлектроники.

ИО	ИР	МС синтез	МР программное управление	АР адаптация	КР самообучение
	МС	МПС передача	РС звук	ТС изображение	ЛС голограмма
	МПС	МИС накопление	ИВС передача	ИВК хранение	ИИС обработка
МС	МИС	ПК измерение	К качество	МИП количество	МАП критерий
МО	ПК	БИС вычисления	МК символ	МикроЭВМ слово	Мини-ЭВМ схема
ПО	БИС	СИС программирование	ИВВ передача	ИП хранение	М обработка
АС	СИС	ИС управление	ПрП пространство	ВП время	ФП функция
	ИС	ПП преобразование	АП амплитуда	АИП время	ДП код
	ПП	ЭЛЕКТРОНИКА обмен	П генерация	Д вентильный эффект	Т усиление

Рис. 1.1. Классификация базисных структур микроэлектроники

Аппаратные средства включают схемы и методы их проектирования, техническую документацию и правила ее оформления. Функция "хранение" обусловила появление программы, носителем которой является микропроцессор с организованной архитектурой. Под архитектурой в микроэлектронике понимают неделимую совокупность аппаратных средств и программного

обеспечения. По аналогии с аппаратными средствами программное обеспечение содержит программы и способы их алгоритмизации, техническую документацию и правила ее оформления. Возникновение функции обработки (вычисления) инициировало появление компьютеров, архитектура которых реализует алгоритмы математического обеспечения. Кроме алгоритмов математическое обеспечение интегрирует в себе способы обработки, методы исчисления и модели. СБИС поэтапно прошли путь от микропроцессорных измерительных средств (МИС), микропроцессорных систем (МПС), микропроцессорных сетей (МС) до ИР. При этом расширялись функциональные возможности микропроцессорной техники за счет интеграции цикла анализ – накопление – передача – синтез.

Наиболее важным этапом развития микроэлектроники является этап анализа информации микропроцессорными измерительными средствами. Под анализом информации будем понимать извлечение, сравнение (сопоставление, измерение) исследуемой величины с известной мерой, имеющей нормированные характеристики. На этапах анализа и накопления информации микропроцессорная техника обогащается метрологическими средствами в дополнение к архитектуре и математическому обеспечению, организованным при хранении и обработке информации в момент становления ИС. Микропроцессорная техника на различных этапах развития микроэлектроники содержит в различных соотношениях аппаратные и метрологические средства с определенным программным и математическим обеспечением, поэтому знание основных вех микроэлектроники позволяет выбирать рациональное решение при разработке конкретной архитектуры микропроцессорных средств [16 – 18, 95].

Таким образом, для ознакомления с основами микропроцессорной техники необходимо знать историю развития микроэлектроники, ее основные базисные структуры, а также изучить аппаратные и метрологические средства в комплексе с программным и математическим обеспечением.

В настоящее время еще не сложилась единая классификация микропроцессорных средств вследствие их интенсивного развития. Предлагаемый информационный подход позволяет упорядочить известные технические решения, построить генеалогическое дерево микроэлектронной техники от полупроводниковых приборов до интеллектуальных роботов, систематизировать в информационное обеспечение базисные структуры, основой которых служат аппаратные средства.

1.1. АППАРАТНЫЕ СРЕДСТВА

Аппаратные средства реализуют функции информационных процессов в схемотехнических образах – схемах на различных иерархических уровнях. Схемы на принципиальном, функциональном и структурном уровнях отражают становление базисных структур микроэлектроники: полупроводниковых приборов, малых (ИС) и средних (СИС) интегральных схем [18].

Полупроводниковые приборы являются продуктом интеграции электроники и технологии на протяжении около 30-и лет – с 1949 по 1977 г.

До открытия полупроводников материалы делили на проводники и диэлектрики. Проводниками считали все металлы, а диэлектриками – неметаллы. Классификация по электрическому сопротивлению току на проводящие и непроводящие материалы удовлетворяла потребности электроники, производящей приборы по технологии дискретных компонентов. Поиск материалов с заданными электрофизическими характеристиками для производства надежных и дешевых радиоэлементов привел к созданию прогрессивных технологий очистки материалов. Появление совершенных способов очистки позволило выделить новый класс электропроводящих твердых материалов с высоким удельным электрическим сопротивлением, изменяющимся в зависимости от концентрации примесей. Пропорционально степени очистки изменялась электропроводность в широком диапазоне: от металлов с низкоомным сопротивлением до диэлектриков с сопротивлением в миллионы ом. Материалы, изменяющие электрические характеристики в зависимости от степени концентрации примесей, обусловленной обменом информации, получили название полупроводники, а дискретные компоненты на их основе – полупроводниковые приборы (ПП) [23, 28, 66, 68, 95, 99, 109].

Таким образом, интеграция электроники и технологии привела к созданию ПП и открыла эру микроэлектроники. Микроэлектроника как самостоятельная область науки и техники берет начало с момента изобретения транзистора (Т) в 1949 г. (рис. 1.1). Транзистор конструктивно выполнен из трех полупроводниковых кристаллов электронной и дырочной проводимостей, разделенных двумя *p-n*-переходами. Как преобразователь сигнала транзистор предназначен для усиления тока, напряжения и мощности. Используя эффект усиления, транзисторы реализуют функции сравнения (компарирование) и памяти.

Полупроводниковые структуры с одним *p-n*-переходом известны как диоды (Д). Основное физическое свойство диода в электрической цепи – пропускать ток в одном направлении (вентильный эффект). На базе вентильного эффекта диоды выполняют функции ограничения, стабилизации и детектирования сигнала. Управляемые вентили – тиристоры – по физической сути являются диодами.

Большая группа ПП не имеет *p-n*-перехода и преобразует сигнал в электрической цепи от внешних неэлектрических воздействий за счет использования объемных свойств полупроводникового материала. Электрические свойства полупроводника зависят от температуры, освещения, давления, магнитного и электрического полей. К полупроводниковым преобразователям (П) относятся терморезисторы, фоторезисторы, тензорезисторы, варисторы и др.

Анализ ПП показывает, что по способу обмена их целесообразно разделить на диоды, триоды и преобразователи в зависимости от числа *p-n*-переходов (от нуля до двух), что соответствует классификации по физическим явлениям, используемым в полупроводниках: вентильный и усилительный эффекты, а также преобразованию неэлектрического сигнала в электрический.

Как и в электронике, при изготовлении ПП доминирует технология дискретных компонентов, что связано с конструированием аппаратуры из отдельных "кирпичиков". Дискретную технологию можно сравнить со способом строительства из кирпича. Все достоинства и недостатки присущи дискретной технологии ПП с тем лишь различием, что на стройке все кирпичи одинаковые, а на сборочном конвейере микроэлектроники "кирпичики" разные: резисторы, конденсаторы, ПП и т.д.

Основные преимущества дискретной технологии (соответственно и ПП) – аппаратная гибкость и универсальность при создании уникальных произведений микроэлектронной архитектуры. Уникальность при массовом тиражировании оборачивается низким коэффициентом эффективности производства вследствие неоправданной сложности приборов от разработки до эксплуатации. Техническое противоречие между высокими надежностью и воспроизводимостью, с одной стороны, и низ-

кими трудозатратами и стоимостью, с другой, было решено внедрением планарной технологии. Сущность планарной технологии заключается в поэтапной обработке поверхности (плана) полупроводникового материала на основе принципов фотографии с помощью шаблонов. Основным достижением планарной технологии является возможность изготовления на одной подложке множества взаимосвязанных дискретных элементов. Однако планарная технология является лишь необходимым условием появления интегральных схем, но не достаточным. Конечно, технологическая интеграция ПП играет решающую роль в развитии микроэлектроники, особенно на начальных ее этапах, но, на наш взгляд, успехи планарной технологии сильно преувеличены.

Интегральные схемы (ИС) в планарной технологии совершенствуют функцию обмена энергией до уровня преобразования сигнала. Условные обозначения ИС положены в основу оформления функциональных схем аппаратных средств. ИС являются второй базисной структурой микроэлектроники и развивают аппаратные средства следующие 20 лет – с 1963 по 1982 г. [2, 22, 28, 29].

ИС являются результатом синтеза полупроводниковых приборов и способов преобразования сигналов. Планарная технология микроэлектронных схем (интегральная технология) дифференцировала ИС в соответствии со способами преобразования сигналов на аналоговые (АП), дискретные (ДП) и аналого-импульсные (АИП) микросхемы (см. рис. 1.1).

Основными элементами преобразования аналогового (непрерывного) сигнала стали дифференциальный и операционный усилители, оказавшиеся основой решающих усилителей аналоговых вычислительных машин. Операционные усилители широко используются в радиоэлектронике для стабилизации и ограничения сигналов, их согласования и смещения, детектирования и смещения. Специализация АП по функциональному назначению привела к созданию стабилизаторов и фазовращателей, смесителей и адаптеров, гармонических усилителей и генераторов.

В самостоятельный класс выделились дискретные преобразователи (ДП) – цифровые ИС, реализующие эффект памяти и вентилярный эффект. Первыми появились логические элементы элементарных булевых преобразований (комбинационные преобразователи), выполняющие логические операции сложения (функция ИЛИ), умножения (И), инверсии (НЕ), сравнения (исключающее ИЛИ). Одновременно выпускались ИС с памятью (последовательностные преобразователи): простые и сложные триггеры, счетчики и регистры. Массовый тираж дискретных преобразователей вывел цифровую микроэлектронику на передние рубежи приборостроения, и по этой генеалогической ветви развивались микропроцессор и компьютер, микропроцессорный аналитический прибор и кибернетический робот.

Элементы, выполняющие функции, промежуточные между аналоговым и цифровым преобразованием (так называемые аналого-импульсные), получили качественный скачок благодаря развитию цифровой микроэлектроники и интегральной технологии. Аналого-импульсные преобразователи (АИП), основными из которых являются компаратор, генератор и таймер, используются для измерения во времени импульсов по частоте, фазе, широте и длительности.

Технологичность и надежность, точность, быстродействие и удобство эксплуатации ИС на порядок выше ПП, а габаритные размеры, масса и стоимость во столько же раз ниже. Однако ИС резко снижают аппаратную гибкость и универсальность схемных решений. Упорядоченность ИС по способам преобразования сигнала, хотя и разграничила схемы по специализации, все же предполагает их взаимозаменяемость. Например, операционный усилитель в ключевом режиме может применяться как логический элемент или компаратор, логический элемент может использоваться вместо усилителя или генератора, а компаратор при необходимости может служить усилителем или логическим элементом. Но взаимозаменяемость и упорядоченность ИС, хотя и стандартизируют схемные решения, все же обедняют архитектуру и творчество. Если последнее не принципиально, то стандартизация схем при использовании ИС приводит к противоречию между гибкостью и стоимостью технических решений, так как специализация средств расширяет номенклатуру изделий.

Конфликт между стандартизацией и универсальностью схем при повышении степени интеграции приводит в тупик и неразрешим в данном базисе микроэлектроники. Развитие интегральной технологии миниатюризирует ИС и снижает энергопотребление на единицу площади полупроводникового кристалла. Это все приводит к расширению схемных решений и сужению их специализации.

В разрешении технического противоречия технологическая интеграция бессильна, и только благодаря информационной интеграции возникает третий базисный уровень микроэлектроники – последний из становления аппаратных средств.

Средние интегральные схемы (СИС) возникли вследствие добавления к функциям ИС функции управления. СИС как базисная структура микроэлектроники (более конкретно – цифровая ее ветвь) развивается с 1970 по 1986 г. [15 – 18, 20, 28, 29, 95].

Совершенствование интегральной технологии на порядок повысило число дискретных элементов на единицу площади кристалла по отношению к ИС. Это позволило организовывать на одном кристалле функционально законченные модули, управляемые внешними воздействиями. Функция управления качественно изменяет базисную структуру микроэлектроники, получившую название "средние интегральные схемы". Это название отражает лишь количественную характеристику интегральной технологии и не затрагивает качественных особенностей. С позиций информационной интеграции, предполагающей организацию новых функций при преодолении определенного количественного критерия, СИС дифференцировались по функции управления и являются аппаратно-управляемыми преобразователями цифрового сигнала, или сокращенно – управляемыми преобразователями. Многообразие управляемых преобразований не позволяет упорядочить СИС с технологической точки зрения. Цифровой компаратор и мультиплексор, запоминающее устройство и дешифратор, арифметико-логическое устройство и знакогенератор, а также многие другие СИС по степени интеграции неразличимы и однообразны. При расширяющейся номенклатуре СИС вследствие их специализации по функциям управления бессистемность классификации микросхем порождает беспорядок и дополнительные издержки. Простая, логически последовательная классификация возникает в процессе анализа СИС как управляющих цифровых преобразователей [16, 18].

Как известно, управлять можно в пространстве, времени и функциональном поле. На вопрос "Что?" (или "Что делать?") отвечает конкретное действие (функция), существующее в функциональном поле. Целенаправленная последовательность действий определяет алгоритм работы и может быть описана математической моделью на языке формул или представлена программой. Отвечая на вопрос "Где?", указывают пространственные координаты. Пространство может быть определено в любой удобной системе координат. За фиксацию координаты времени ответствен вопрос "Когда?". Адрес функции в пространстве и времени полностью однозначно определяет управление.

СИС по функциям управления можно разделить на пространственные (ПрП), временные (ВП) и функциональные (ФП) преобразователи (см. рис. 1.1). К пространственным преобразователям относятся дешифраторы, кодеры и знакогенераторы. Мультиплексоры, линии задержки и генераторы составляют временные преобразователи. Из функциональных преобразователей широко используются цифровой компаратор, арифметико-логическое и запоминающее устройства. Классификация СИС по функциям управления отражает основные преобразования на микросхемах. Например, мультиплексор коммутирует информацию в канале связи по времени, дешифратор деформирует (изменяет) число координат преобразования сигнала в пространстве, а арифметико-логическое устройство осуществляет математические преобразования. Естественно, что СИС, как и функция управления, одновременно преобразуются в функциональном, временном и пространственном полях координат. И это позволяет осуществлять взаимозаменяемость управляемых преобразователей между собой. Мультиплексор может быть заменен цифровым компаратором, а дешифратор – мультиплексором; в то же время дешифратор может реализовывать математические преобразования, а запоминающее устройство – функции знакогенератора или линии задержки.

Специализация по функциям позволяет изготовителям учитывать особенности изделий в технологическом цикле, чутко реагировать на потребности заказчиков, устанавливать прямые контакты с потребителем и отказываться от стихийной экономики. Однако интеграция разработчиков и пользователей микросхем приводит к дифференциации номенклатуры СИС, несовместимых по параметрам и характеристикам.

Интегральная технология на определенном этапе стала тормозить развитие микроэлектроники, так как занималась размещением и компоновкой множества элементарных схем с произвольной топологией, называемых комбинаторными логическими элементами. Технология ИС, по сути, являлась комбинаторной, т.е. бессистемной, произвольной и неупорядоченной по архитектуре. Техническое противоречие (количество – беспорядок логических элементов) было решено в процессе развития СИС при появлении запоминающих устройств. Однотипность элементов и однообразная топология выкристаллизовали организованную структуру, включающую систему проводников, расположенных перпендикулярно друг другу и связанных между собой в узлах пересечений логическими вентилями. Продольные и поперечные проводники были названы соответственно столбцами и строками, а упорядоченная архитектура строк и столбцов логических элементов получила имя "логическая матрица". Таким образом, комбинаторная интегральная технология уступила место матричной планарной технологии, а упорядоченная структура аппаратно-управляемых средств подготовила аналогичную организацию архитектуры. Под архитектурой в микроэлектронике понимают упорядоченную совокупность аппаратных и программных средств.

1.2. ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ

Большие интегральные схемы (БИС) вызваны интеграцией в архитектуру аппаратных средств СИС и программы. Архитектура привела к созданию программно-управляемых цифровых преобразователей сигнала, за счет развития программного обеспечения для обмена информацией. Четвертая базисная структура микроэлектроники БИС проходит становление с 1975 по 1989 г. в нашей стране. За рубежом появление БИС связывают с изобретением в 1971 г. микропроцессора (см. рис. 1.1).

Появлению микропроцессора предшествовали программируемые логические матрицы (ПЛМ). Упорядочение структуры матриц привело к избыточным аппаратным затратам, позволяющим организовывать элементарные логические преобразования в соответствии с выбранным кодом. Структурное изменение кода при воздействии на управляющую матрицу коммутирует избыточные связи и настраивает ее на выполнение заданной функции. Таким образом, различные коды (подстановки) изменяют соответствующие пространственные связи и организуют различные действия из функционального набора матрицы. Целенаправленная последовательность подстановок составляет программу действия (элементарный акт программы – подстановка). Аппаратное управление, бессистемное и произвольное в программном смысле, уступило место в БИС организованному действию во времени и пространстве – программному управлению. Формой архитектуры служит организованная матричная структура, наполненная по содержанию программой [18, 50, 67].

По гибкости управления (или по архитектуре) БИС целесообразно разделить на БИС с гибкой и жесткой структурой, с программным и микропрограммным управлением. Программное управление с жесткой структурой предполагает функционирование по неизменному алгоритму, реализованному жесткой программой; к таким устройствам относятся, например, электронные часы и таймеры. В электронных игрушках и играх используется гибкая структура, предполагающая разветвленную жесткую программу, организованную на подпрограммах с однообразными алгоритмами. Микропроцессоры с жесткой архитектурой просты и дешевы благодаря их узкой специализации и высокой технологичности. Микропроцессоры с программным управлением имеют более гибкую структуру и разветвленное программное обеспечение с разнообразным ассортиментом алгоритмов, реализуемых разработчиком в виде микроинструкций. Они являются основой построения компьютеров и микропроцессорных измерительных средств целевого назначения. Высокой универсальностью и гибкостью отличаются микропроцессоры с микропрограммным управлением за счет ориентации микроинструкции на конкретные задачи пользователя [17, 66].

По функциональному назначению БИС можно разделить на микропроцессоры, интерфейсы памяти и интерфейсы ввода-вывода [16 – 18].

Микропроцессором называется программно-управляемый цифровой преобразователь сигнала, предназначенный для выполнения функций сравнения и подстановок. Подстановки в микропроцессоре служат для организации программы, а функция сравнения необходима для ветвления программы. Сравнение является элементарной логической функцией, реализующей условные и безусловные переходы. Носителями программ и данных обработки служат интерфейсы памяти. Как и микропроцессоры, они являются БИС и отличаются от первых лишь функциями. Программно-управляемые цифровые преобразователи сигнала, предназначенные для хранения и выборки информации, называют интерфейсами памяти (ИП). По времени хранения ИП делят на постоянные, репрограммируемые и оперативные запоминающие устройства. По способу адресации информации ИП могут быть с произвольной (параллельной), последовательной и ассоциативной выборкой.

Если ИП служат для хранения и выборки информации, то прием и выдача информации осуществляется интерфейсами ввода-вывода (ИВВ). ИВВ – это программно-управляемые цифровые преобразователи сигнала для приема и выдачи информации. По способу обмена информацией ИВВ подразделяют на диалоговые и автоматические. Диалоговые ИВВ предназна-

чены для сопряжения микропроцессора через клавиатуру и дисплей с оператором. Для управления объектом с помощью микропроцессора в автоматическом режиме служат аналого-импульсные (АИП) и импульсно-аналоговые (ИАП) преобразователи. Автоматические ИВВ преобразуют непрерывный (аналоговый) сигнал в импульсный, изменяемый по широте, фазе, частоте, числу и коду, и осуществляют обратное преобразование. По способу преобразования информации БИС можно подразделить на число-импульсные и кодоимпульсные. В число-импульсных БИС информация обрабатывается последовательно во времени по одному проводнику или магистрали, а в кодоимпульсных БИС – параллельно по шине.

Программно-управляемые преобразователи освобождают разработчика микропроцессорной техники от конструирования структуры, позволяют синтезировать архитектуру посредством создания программного обеспечения, совершенствования алгоритмов и математического моделирования. БИС послужили основой следующей базисной структуры микроэлектроники компьютеров.

1.3. МАТЕМАТИЧЕСКОЕ ОБЕСПЕЧЕНИЕ

Сверхбольшие интегральные схемы (СБИС) являются логическим продолжением развития БИС на пути информационной интеграции и синтезировали в себе программно-управляемые свойства БИС и вычислительную функцию. Вычисление архитектуры организуется программно по алгоритму математического обеспечения [18, 97]. Алгоритмы и способы обработки информации, модели и методы исчисления интегрируются в математическое обеспечение на уровне СБИС или персональных компьютеров (ПК). Бурное развитие СБИС как базисной структуры микроэлектроники приходится на 1979 – 1991 гг. (см. рис. 1.1).

Компьютеризация перестала быть помощницей только программистов и математиков – коллективных пользователей вычислительных центров. Персональные компьютеры стали применять для инженерных расчетов и в бытовой технике, и в научных исследованиях, и в учебном процессе.

Микропроцессорные вычислители, или компьютеры, выполняются в виде СБИС и подразделяются по архитектуре на микрокалькуляторы (МК), микроЭВМ и мини-ЭВМ. Внешне компьютеры различаются интерфейсами ввода-вывода, а по содержанию – мощностью микропроцессора, ИП и ИВВ. Для МК характерно наличие линейного индикатора и несложной линейной или двухкоординатной контактуры [32, 77].

По сложности МК можно подразделить на три типа: простейшие, инженерные и программируемые. Простейшие калькуляторы обеспечивают арифметические действия и несложные алгебраические расчеты. Инженерные микрокалькуляторы позволяют выполнять также алгебраические и тригонометрические функции. Гибкую архитектуру содержат программируемые калькуляторы, выполняющие кроме инженерных расчетов логические операции и алгоритмические вычисления по программе пользователя, организованной программной памятью с привлечением регистровой и стековой памяти. Как правило, МК строят по кольцевой архитектуре с число-импульсным представлением сигнала в микропроцессоре. Кольцевая число-импульсная архитектура наиболее простая и дешевая, технологичная и тиражируемая, имеет малые массу и габаритные размеры. Основными недостатками МК являются низкое быстродействие и ограниченное программное обеспечение.

МикроЭВМ содержит цифро-алфавитный дисплей и двухкоординатную клавиатуру из 40 – 50 клавиш. Дисплей позволяет выводить семь – девять строк информации. Программное обеспечение реализуется на различных версиях языка БЕЙСИК. Архитектуру микроЭВМ, как правило, выбирают магистральной с представлением информации в число- и кодоимпульсной формах по четырехразрядной магистрали. МикроЭВМ снабжают разветвленной внешней памятью с записью информации на ферромагнитных и полупроводниковых носителях. Использование алгоритмических языков более высокого уровня значительно расширяет функциональные возможности и гибкость. В качестве основных режимов работы следует выделить в микроЭВМ режимы "калькулятора", "записной книжки" и "научно-инженерных расчетов". К недостаткам микроЭВМ, резко ограничивающим их рынок сбыта, относятся высокая трудоемкость и стоимость изготовления при низкой потребительской стоимости. Однако трудности технического характера будут преодолены в недалеком будущем, и микроЭВМ станут незаменимыми помощниками и потеснят МК и мини-ЭВМ [16, 68, 87].

Мини-ЭВМ отличаются от других компьютеров многофункциональной клавиатурой и дисплеем телевизионного типа. Дисплей предназначен не только для выдачи буквенно-цифровой информации, но и для отображения графического материала в цвете и динамике. Развитая архитектура ИВВ обусловлена применением кодоимпульсных микропроцессоров с программным и микропрограммным управлением. В архитектуре мини-ЭВМ доминирует шинная структура. Поток информации дифференцирован по функциональным признакам "Что? Где? Когда?". Обработываемая информация (данные) поступает по информационной шине, адрес пересылки информации формируется по адресной шине, а момент действия определяется сигналом на шине управления. Максимальная скорость обработки информации достигается в персональных компьютерах с микропрограммным управлением за счет конвейерной обработки информации и использования интерфейсов памяти с ассоциативной выборкой. Мини-ЭВМ незаменимы при проведении научных исследований, сборе и обработке больших объемов информации, а также при управлении разветвленным технологическим процессом. Высокая оперативность и надежность, гибкость и универсальность обусловили высокую стоимость и трудоемкость изготовления мини-ЭВМ. По основным характеристикам мини-ЭВМ не только не уступает ЭВМ, но и превосходит ее [31, 32].

Однако вычисление – это лишь первая функция из поля функциональных возможностей и на пути информационной интеграции является мизерной частью процесса измерения, поэтому компьютеры являются не только вычислителями, но и базой для следующего этапа развития микроэлектроники.

1.4. МЕТРОЛОГИЧЕСКИЕ СРЕДСТВА

Микропроцессорные измерительные средства (МИС) развивают архитектуру персональных компьютеров с математическим обеспечением в метрологические средства за счет интеграции микроэлектроники и измерительной техники. Метрологические средства по критериям эффективности оценивают компоненты информационного обеспечения с образцовыми мерами [18].

В соответствии с классической концепцией технологической интеграции, предполагающей наращивание числа элементов на единицу площади (объема) кристалла, преемниками СБИС должны стать сверх-(супер) СБИС. Однако интеграция

количества не беспредельна, да и не всегда количество переходит в качество. Миниатюризация и повышение степени очистки кристалла в технологии развития СБИС достигли своего физического предела в области микроэлектроники. Технология на следующем этапе развития СБИС не поспевает за стремительным взлетом микроэлектроники по пути информационной интеграции.

По концепции информационной интеграции, предполагающей вычисление начальным этапом измерения, логично предположить интеграцию СБИС и функции измерения. Физически это означает, что кристалл СБИС достаточно заключить в орнамент автоматических ИВВ, т.е. ко входу подсоединить аналого-цифровой преобразователь (АЦП), а на выходе СБИС установить цифроаналоговый преобразователь (ЦАП). Анализ технических решений показывает, что "аналоговые микропроцессоры" – СБИС в орнаменте АЦП – ЦАП – появились на потребительском рынке в 1982 г. (см. рис. 1.1). Более логично эти кристаллы назвать микропроцессорными измерительными средствами (МИС), а при дальнейшем их совершенствовании по пути к микроминиатюризации – микропроцессорными измерительными схемами. МИС как базисная структура микроэлектроники завершает свое становление в 1992 г. В соответствии с оценкой измерений по количеству и качеству МИС целесообразно разделить на три типа: средства для сравнения качества без количественной оценки – контроллеры (К); средства измерения количества без качественного сравнения – микропроцессорные измерительные приборы (МИП); средства для определения качества с количественной оценкой – микропроцессорные аналитические приборы [16, 18].

Контроллеры предназначены для поддержания технологического процесса в заданном диапазоне. Регулирование процессом, а также качественная оценка осуществляются посредством сравнения контролируемого сигнала с мерой. Мера может быть задана аппаратными или программными средствами. Для задания и регистрации в цифровой форме уровня меры контроллеры снабжены диалоговыми ИВВ, а для контроля исследуемых параметров в них предусмотрены автоматические ИВВ.

Управление процессом осуществляется по жесткой программе, что удобно в массовом производстве и поточных линиях, поэтому архитектура контроллера выбирается кольцевой или магистральной. Аппаратные средства контроллеров организуются на микропроцессорных сборках, калькуляторах или микроЭВМ. Программное обеспечение включает алгоритмы измерения и нормировки, контроля и управления. Контроллеры незаменимы в автономных системах и приборах индивидуального назначения. Контроллеры позволяют судить о качестве на уровне экспертных оценок: "да – нет", "плохо – хорошо", "холодно – горячо", "болен – здоров" и т.д.; при этом качество контролируется сравнением заданной меры в интервале с известным допуском [21].

Количественно физические процессы оценивают с помощью МИП. Они ориентированы на прямые измерения физических величин (напряжения, массы, времени, длины и т.д.) при контроле за их активными параметрами (амплитудой, частотой, фазой, числом и т.д.). В отличие от контроллера на цифровых табло МИП выводится количественная информация исследуемой величины. Погрешность измерения МИП определяется в процессе калибровки по эталонам. Калибровочная характеристика в программе может быть задана таблицей или функциональной зависимостью и определена при поверке МИП на эталонных мерах по всему диапазону измерения. Аппаратные средства МИП используют число- или кодо-импульсные микропроцессы с программным управлением, организованным по кольцевой, магистральной или шинной архитектуре. Программное обеспечение кроме контроллерных программ содержит программы калибровки и коррекции, поверки и диагностики. Настройка МИП на исследуемый диапазон осуществляется оптимизационными алгоритмами адаптации. Аппаратные средства и программное обеспечение повышения точности измерения и контроля называют метрологическими средствами. Очевидно, что по сравнению с контроллерами МИП содержит аппаратные средства более высокого уровня и более совершенное и развитое программное обеспечение [16, 25, 46, 69].

Микропроцессорным аналитическим приборам (МАП) присущи основные функции контроллеров и МИП. Измерение качественных характеристик в количественном выражении предполагает контроль качества состава и свойств веществ (т.е. косвенные и совокупные измерения), а также величин, прямые измерения которых невозможны. Неизмеримые параметры рассчитывают по формулам, связывающим их с измеряемыми величинами – откликами, возникающими в исследуемом объекте в процессе активного воздействия. Например, вязкость и плотность жидкости можно определить в процессе измерения амплитуды и частоты колебаний ее поверхности на различных расстояниях от центра воздействия источника возмущений. МАП позволяют контролировать параметры физических, химических, биологических и других процессов в жидких, твердых и газообразных веществах. От других типов средств МАП отличает вычисление параметров по математическим моделям процесса измерения, которые составляют математическое обеспечение. Как видно, МАП – это совокупность аппаратных и метрологических средств с программным и математическим обеспечением для контроля качества и свойств веществ. Архитектура МАП может быть реализована как по однопроводной число-импульсной кольцевой, так и многопроводной кодоимпульсной трехшинной структуре на базе микропроцессов и калькуляторов, микро- и миниЭВМ с программным и микропрограммным управлением [15, 16, 18].

Таким образом, МИС посредством функции измерения упорядочили в информационном смысле и синтезировали как единое целое аппаратные и метрологические средства, программное и математическое обеспечение для контроля однородных величин. Комплексное определение разноименных характеристик – это следующий этап микроэлектроники на пути информационной интеграции.

1.5. ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ

Микропроцессорные системы (МПС) интегрируют программное и математическое обеспечение, аппаратные и метрологические средства в информационное обеспечение [18].

Информация – это свойство материи развиваться, т.е. самоорганизовываться, в отличие от разрушающего действия энтропии. Энтропия и информация – это энергетические меры материи, меры беспорядка и порядка. Основным свойством информации является способность к накоплению. Наиболее представительно процесс накопления проявляется при становлении микропроцессорных систем из МИС. Интеграция МИС и накопление информации – следующий этап развития микроэлектроники, начавшийся в 1984 г.

Централизацией информационных потоков МПС повышают оперативность преобразования и управления, хранения и обработки, извлечения и накопления информации. Это снижает интеллектуальные, энергетические и экономические затраты, позволяет с максимальной эффективностью использовать микропроцессорные средства и системы. МПС по мере усложнения можно классифицировать на измерительно-вычислительные системы (ИВС), информационно-измерительные системы (ИИС) и измерительно-вычислительные комплексы (ИВК) [16, 97].

ИВС являются логическим обобщением МАП на основе многофункциональности и универсальности. Сменные первичные измерительные преобразователи и алгоритмы расчетов, программно-изменяемое число измерительных каналов и каналов управления предполагают контроль свойств веществ и параметров состава в различных агрегатных состояниях (твердом, жидком, газообразном, аморфном и т.д.). Гибкость архитектуры ИВС позволяет программно использовать их при различных способах измерения и контроля, что значительно повышает достоверность и объективность исследуемой информации. Вариации этих способов адаптируют ИВС к локальному контролю или измерению по всему объему вещества, к стабилизации контролируемых параметров или управлению ими в широком диапазоне. В отличие от МАП, включающих аппаратное управление режимными параметрами ИВС, используют программно-управляемые режимы [18].

ИВС предназначены для сбора и обработки информации с микропроцессорных измерительных средств. На следующем иерархическом уровне сбора, обработки и хранения информации, обслуживающем несколько ИВС, находятся ИИС, входящие с другими подобными системами в сферу обслуживания ИВК. Последняя объединена с другими комплексами в микропроцессорную сеть [97].

Иерархические системы, комплексы и сеть различаются аппаратными и метрологическими средствами, программным и математическим обеспечением. Если МИС и ИВС используют языки низкого уровня, то с ростом приоритета преобразователя повышается уровень алгоритмического языка. От систем к сети метрологическое и математическое обеспечение видоизменяется от индивидуального к коллективному. Создание сети связанных ИВК обеспечивает распределение ресурсов ассоциативным образом, способствует созданию библиотеки программ и накоплению банка данных.

Анализ развития МПС показывает, что на всех ступенях развития микроэлектроники базисные структуры, включая и МПС, являются связанными, объединенными между собой проводниками. На этапе накопления информации выделяются иерархические уровни и линии связи между ними. Проводная сеть объединила все системы и комплексы и дала новый импульс для прогресса микроэлектроники.

Передача сигнала на расстояние является логическим развитием информации в процессе ее накопления. Для повышения информативности развиваются внешние запоминающие устройства на магнитных, бумажных и полупроводниковых носителях информации. Обмен информацией между сетями происходит по почтовым каналам путем пересылки перфолент, кассет и дискет. Такая скорость обмена информацией между сетями чрезвычайно низка, а для нестационарных мобильных систем часто неприемлема.

Совмещение информационного канала МПС с каналом связи становится первоочередной задачей на пути развития микроэлектроники.

Микропроцессорные сети (МС) обусловлены интеграцией МПС и необходимостью передачи информации на расстояние без проводной связи. МС – это мобильные образования, объединенные в единую сеть средствами связи. В настоящее время передача информации осуществляется электромагнитными колебаниями в диапазоне радиоволн и оптическом диапазоне. Передача звуковых сигналов ведется по радио, изображение пересылается по телевидению или по лазерной связи. В соответствии с формой передачи информации МС целесообразно разделить на радиосети (РС), телевизионные сети (ТС) и лазерные сети (ЛС).

Достоинства и недостатки различных типов МС определяются формой передачи информации [16, 25, 109].

Микропроцессорные РС работают на низкочастотном диапазоне радиоволн и позволяют на длинном и среднем диапазонах осуществлять связь на большие расстояния без вспомогательных станций. Недостатком РС является низкая помехозащищенность, поскольку используется амплитудная модуляция сигнала и легкость обнаружения, обусловленная высокой мощностью радиосигнала. Частотная модуляция повышает качество передачи информации, но при этом увеличивается частотный диапазон и снижается дальность связи. Наиболее перспективна радиорелейная связь в высокочастотном диапазоне, передающая информацию в число- или кодоимпульсной форме. Различные приемы сжатия информации позволяют повысить до максимума информативность и снизить до минимума время эфира по каналу радиорелейной связи. Однако РС с релейной связью имеют низкую пропускную способность и информативность.

Телевидение позволяет передавать на расстояние изображение в цвете и динамике. Микропроцессорные ТС сокращают время передачи в эфире, но требуют множества ретрансляторов при увеличении дальности. Для интенсивного развития МС наиболее удачным является цифровое телевидение. Высокое качество изображения и повышенная информативность, программная и аппаратная совместимость цифрового телевидения и МПС позволяют прогнозировать широкое их применение. Для расширения сферы связи ТС целесообразно в качестве ретрансляторов применять спутники. Спутниковое телевидение увеличивает дальность связи и повышает мобильность аппаратов, оснащенных МПС. Спутниковое телевидение позволяет включить в МС самолет и морское судно, автомобиль и электровоз, полярную дрейфующую станцию и подводную лодку. Передача на расстояние по каналам спутниковой связи географических карт, планов и маршрутов, определение координат в пространстве и времени, передача и прием научно-исследовательской и коммерческой информации – вот только небольшая часть возможностей микропроцессорных ТС. К недостаткам микропроцессорных ТС относится низкая защищенность от электромагнитных полей и простота обнаружения вследствие передачи сигнала в пределах прямой видимости.

От многих этих недостатков свободна лазерная сеть. Микропроцессорные ЛС позволяют передавать огромный объем информации, поскольку используется оптический диапазон электромагнитных волн. С помощью лазера можно осуществлять прием-передачу звука и изображения, используя амплитудную, частотную и фазовую модуляции света. Цифровое лазерное телевидение невозможно реализовать без микропроцессорных средств, а МС станут наиболее эффективны в комплексе с лазерами. Лазерные МС обладают высокой информативностью и оперативностью, программной и аппаратной совместимостью, надежностью и помехозащищенностью. Микропроцессорные ЛС незаменимы для применения в пределах космического пространства в целях тиражирования, синтеза, размножения информации.

Интеллектуальные роботы (ИР) – высшая фаза микроэлектроники по пути информационной интеграции. Информация, как и материя, вечна и бесконечна. Синтез информации – высшая фаза самоорганизации любого процесса или объекта, после чего возникает организация более высокого порядка. Интеллектуальные роботы являются синтезом микропроцессорных сетей и функции размножения. Под размножением информации следует понимать тиражирование накопленных знаний. Но это не простое копирование информации, а стремление воспроизводить себя без интеллектуальной помощи со стороны, посредством программы воспроизводства (генотипа), передаваемой по наследству из поколения в поколение. Для синтеза своего организма (фенотипа) необходимо наличие генотипа, внешней энергии и строительных материалов. Живучесть организма определяется способностью синтезировать себя каждый раз на более высоком уровне с учетом адаптации к окружающей среде. Организация живучей системы микропроцессорных средств потребовала развития микроэлектроники в течение полувека, начиная с полупроводниковых приборов в 1949 г. и до появления интеллектуальных роботов в 1986 г. [68, 109].

ИР объединяют в себе МС и искусственный интеллект. Простейшими ИР являются алгоритмические (модельные) роботы (МР), функционирующие по жесткой программе. МР, приспособляющиеся к изменению окружающей среды, относятся к классу адаптивных роботов (АР), а самоорганизующиеся и самообучающиеся роботы – к классу кибернетических роботов (КР) [16].

Модельные роботы предназначены для реализации штатных операций циклического характера. Такие операции встречаются на конвейерных линиях, при массовом выпуске и поточном производстве. Алгоритм функционирования МР включает типовые действия производственного цикла и реализован на подпрограммах, чередующихся в строгой последовательности обслуживаемого технологического процесса.

Настройка МР осуществляется при пуске поточной линии посредством составления программы действий, учитывающей пространственные координаты конвейера и временные координаты технологического процесса. В процессе эксплуатации МР в программу вводятся коррективы, учитывающие внешние воздействия, флуктуацию технологической линии.

При создании внештатных ситуаций управление МР осуществляется оператором посредством оперативного вмешательства через ручное управление. Сопровождение роботов и контроль их действий осуществляется на мнемостендах или телемониторах. Прямое телеуправление неудобно из-за множества отвлекающих факторов. На мнемостендах или телемониторах выполняется контроль действий МР в пространстве и времени. Для этого организуются схемы процессов в функциональном, пространственном и временных полях на различных иерархических уровнях. В функциональном поле – это структурная, функциональная, принципиальная схема робота и его блоков, технологического процесса и его звеньев. Пространственное поле задается топологией (планом) размещения оборудования и трасс всего производства, маршрутов между конвейерами, конкретных участков пути. Координация во времени осуществляется по технологическим картам, по расписанию или графику.

В более гибких и развитых производствах целесообразно применение АР. Эти роботы снабжены разветвленными программами, управляемыми внешними изменениями, которые через первичные измерительные преобразователи после обработки в микропроцессоре воздействуют на исполнительные механизмы роботов. При запуске технологического процесса осуществляется настройка АР на выполнение заданного технологического процесса путем составления разветвленной программы, функционирующей по алгоритму оптимального управления.

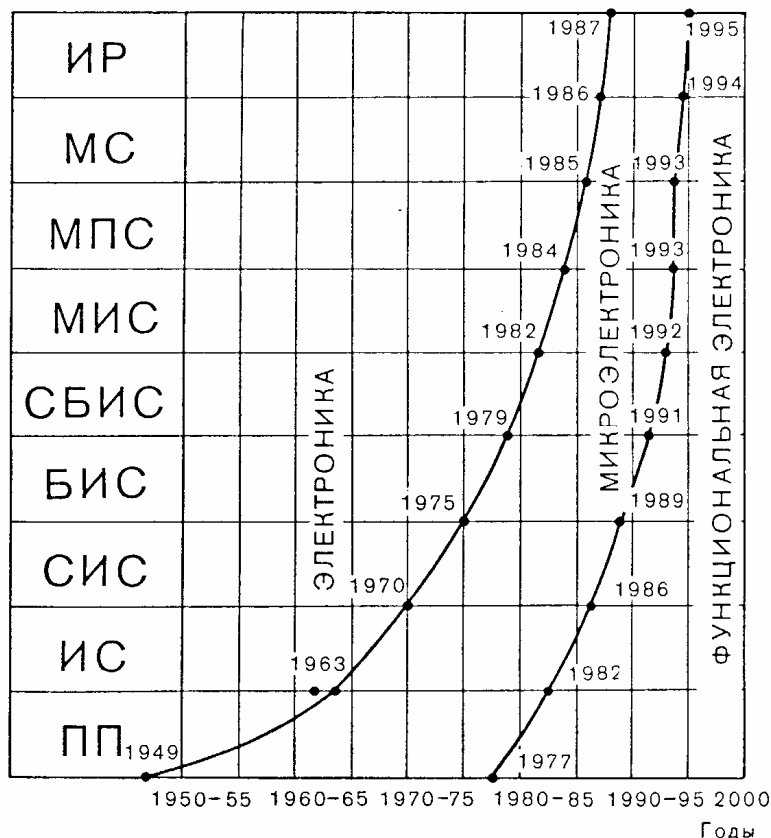


Рис. 1.2. Этапы развития микроэлектроники

Наиболее совершенным ИР являются КР, которые помимо адаптивных алгоритмов оснащены программами самообучения. Однократно повторившаяся ситуация фиксируется в памяти КР в виде блока подпрограммы с рядовым приоритетом обращения. При повторении ситуации ранг приоритета подпрограммы поднимается с возможностью включения ее в основной массив программы по закономерному алгоритму, построенному на основании накопления и анализа исходной информации. Одним из критериев разумности КР при их создании может служить мера порядка (информация) – сумма произведений вероятностей событий и ее логарифма. Мера порядка является эффективностью организации объекта или процесса и служит интегральным критерием их развития [18].

В природе существуют нижние и верхние границы информационного базиса любого проявления материи, в рамках которого происходит накопление количества информации, а за его пределами осуществляется качественное изменение информации. Это видно из интеллектуального развития роботов, подтверждается процессом становления микроэлектроники и следует из научно-технического прогресса (рис. 1.2).

1.6. МАТЕМАТИЧЕСКИЕ МОДЕЛИ И АРХИТЕКТУРА

Информативность математического обеспечения (МО) микропроцессорных средств и систем, или компьютерных анализаторов (КА), определяется адекватностью математической модели процессу физико-химического контроля в адаптивном диапазоне состава и свойств веществ с заданной точностью, определяемой погрешностью образцовых мер [18, 20].

МО создается при разработке первичного измерительного преобразователя (ПИП) и является комплексом, включающим способы и модели контроля, методы решения и алгоритмы расчета. Универсальность алгоритмов МО повышает гибкость программного обеспечения и многофункциональность аппаратных средств КА, или адаптируемость его архитектуры к выбранному диапазону контроля. Алгоритм контроля по программе моделирует динамику функционирования ПИП по управляемой характеристике преобразования за счет настройки структур и связей архитектуры, организованной матрицей СБИС с программируемым полем. Степень универсальности алгоритма служит мерой адекватности математической модели процессу физико-химического контроля ПИП.

Информативность МО компьютерного анализатора инвариантна методам синтеза математических моделей, отражающих процесс контроля экспериментальными и аналитическими решениями.

Аналитические алгоритмы и модели [15, 16, 31 – 41] в функциональных координатах по принципу аналогии отражают физические процессы контроля ПИП. Алгоритмы в явной форме отображают лишь сущность физико-химического процесса из-за упрощения математической модели, которая не учитывает корреляции информативных параметров и дрейфов. Поиск универсального алгоритма в линейной системе координат приводит к созданию гибкого способа контроля с программным управлением по функциональному закону информативными параметрами. Использование алгоритмов в неявной форме требует расширения вычислительной мощности КА за счет идентификации образцовыми мерами исследуемых параметров по математической модели многомерной матрицы, узлы которой имитируют контроль на дифференциальном уровне.

Анализ аналитических моделей и алгоритмов показывает их априорную неадекватность физическим процессам и моделям ПИП за счет соответствующих приближений или усечений, что требует метрологической оценки определяемых параметров и их коррекцию по образцовым мерам.

Экспериментальные алгоритмы и модели [1, 26, 43] отражают статистику корреляций исследуемых параметров, измеримых величин и управляющих воздействий без учета процесса физико-химического контроля ПИП. Статистическое МО содержит алгоритм и модель аппроксимации в явной форме для фиксированного диапазона и заданной точностью вычисления при тестовом контроле по образцовым мерам. Аппроксимирующие зависимости находят в форме таблиц, графиков и функций за счет структурной или параметрической оптимизации. При структурной оптимизации из массива аналогов по критерию эффективности выбирается наиболее близкая структура, соответствующая характеристике ПИП, представляемого в виде модели "черного ящика". В процессе параметрической оптимизации по критерию эффективности вычисляют параметры известной структуры, решение которой идентифицируют неизвестной характеристике модели "черного ящика".

Из-за субъективного выбора аналогов и критериев статистические алгоритмы и модели неадекватны физико-химическому контролю ПИП даже в узком диапазоне при объективных изменениях условий эксперимента.

Повысить адекватность аналитических моделей и расширить диапазон физико-химического контроля в реальных условиях эксперимента позволяет комплексный метод, аналитический по содержанию, но статистический по форме. Решение физико-математического противоречия заключается в синтезе экспериментально-аналитических моделей и алгоритмов. Через информативные параметры моделируется физика объекта контроля в адаптируемом диапазоне по функции, которая калибруется синхронно динамике появления неинформативных величин.

Синтез экспериментально-аналитических моделей и алгоритмов является основой информационной технологии проектирования КА [15, 18] при создании математического обеспечения (МО) и метрологических средств (МС). Математическое обеспечение является неделимой компонентой метрологических средств, решающих задачи оптимизации физико-химического контроля с целью повышения метрологической эффективности. Для КА целесообразно минимизировать статическую и динамическую погрешности, массив эталонов или степень аппроксимирующего полинома в процессе калибровки функции аналитического контроля.

Минимизация статической погрешности повышает достоверность контроля в фиксированном диапазоне с заданным массивом образцовых мер за счет параметрической оптимизации известной функции до действительного образа статической характеристики. Решается задача аппроксимации образцовой функции в процессе расчета параметров (матрицы коэффициентов) функции калибровки, представленной полиномом фиксированной степени с заданным массивом образцовых мер в неизменном диапазоне [15, 18, 20].

Минимизация массива эталонов необходима для повышения достоверности физико-химического контроля на экспериментальном участке диапазона за счет структурной оптимизации масштаба образцовых мер до регламентированной точности. Задача сводится к адаптации по диапазону посредством определения достаточного количества мер из заданного массива образцов при делении диапазона на необходимое число участков (поддиапазонов). Для этого аппроксимируют степенным полиномом статические характеристики поддиапазонов с точностью масштаба образцовых мер [18, 20].

В целях минимизации динамической погрешности достоверность контроля повышают за счет комплексной (структурно-параметрической) оптимизации статической характеристики синхронно динамике появления неинформативных величин, решают задачу адаптации к возмущениям. Анализируют множество статических характеристик и выбирают оптимальную по критерию точности на интервале времени воздействия возмущений. Интервалами контроля управляют по законам регулирования для минимизации временного, температурного и параметрического дрейфов [20].

Анализ методов повышения эффективности МО показывает, что МС решают задачи оптимизации аналитического контроля методами параметрического, структурного и комплексного статистического анализа. В отличие от экспериментального моделирования функциональной зависимости искомых параметров контроля от измеримых величин и управляющих воздействий методами статистики оптимизируется функция калибровки. Калибровка устанавливает соответствие между измеренными параметрами физико-химического контроля и их действительными значениями в адаптируемом диапазоне с точностью, определяемой погрешностью образцовых мер.

Сопоставление метрологических средств и математического обеспечения с позиций методов исчисления и счисления подчеркивает аналогию математических моделей и алгоритмов физико-химического контроля и калибровки. Из предложенной выше классификации целесообразно дифференцировать аналитические модели для проектирования математического обеспечения объекта аналитического контроля, а статические модели использовать при создании метрологических средств. Экспериментально-аналитические модели и алгоритмы синтезируют при организации информационного обеспечения, включающего неделимые компоненты КА: математическое и программное обеспечение, аппаратные и метрологические средства [18, 20].

С позиций информационной концепции, представляющей КА как неделимый комплекс компонент, математическое обеспечение логично систематизировать по интегралу функций, регламентирующему информативность аналитического контроля. Информационные процессы развиваются при становлении архитектуры с обмена энергии и преобразования сигнала до управления структурой и хранения сообщений. Аналитический контроль включает анализ (измерение) физических величин и обработку (вычисление) информации для принятия решения при управлении и регулировании объектом контроля или технологическим процессом. МО физико-химического контроля целесообразно классифицировать по информативности моделей и алгоритмов, способов счисления и методов исчисления. Математическое обеспечение КА рационально разделить по мере упорядоченности информации на линейное, функциональное и матричное.

Линейное МО базируется на фундаментальных законах классической физики, адекватно описывающих процессы обмена энергии в пространственно-временном континууме. Линейные физические процессы пропорционально связывают входные и выходные воздействия в классических системах координат. Универсальные процессы обмена идентичны в механике и оптике, гидравлике и энергетике, в теплотехнике и электронике при стационарных условиях. Обмен протекает синхронно во времени при линейном преобразовании сигнала в неуправляемой структуре. Стационарные процессы по принципу аналогии описывают линейными математическими моделями и алгоритмами, в явной форме связывающими параметры объекта контроля с управляющими воздействиями и измеримыми величинами. Статическая характеристика стационарного обмена линейна, а структура алгоритма расчета параметров аналогична математической модели. Примерами линейного МО являются законы Ома и Кирхгофа для электрических цепей постоянного тока, уравнения прямолинейного движения и по окружности с постоянной угловой скоростью в сильном и слабом, в электрическом и магнитных полях [29 – 43].

Функциональное МО сопоставляется с динамикой физических явлений, включающих не только обмен энергии, но и преобразование сигнала с управлением структурой. Динамические процессы нелинейно отражают реакцию от входного воздействия в ортогональной системе координат. Нелинейные преобразования функционально управляют структурой объекта при обмене энергией. Обмен осуществляется асинхронно в нестационарных условиях. Нестационарные процессы задают нелинейными функциями на плоскости или системой уравнений в ортогональном векторном пространстве при создании математической модели объекта физико-химического контроля. Функциональную модель представляют в алгебраической или комплексной форме, в интегральном или дифференциальном исчислении. Из функциональной создают линейную модель нормировкой осей системы координат по функции, обратной исходной, используя принцип инверсии. По линеаризованной модели в заданной области определения выбирают способ контроля, которым управляют по закону инверсной функции. В зависимости от способа управляют параметрами входного или преобразуемого сигнала асинхронно процессу обмена. Из системы уравнений, полученных согласно способу по линеаризованной модели, вычисляют алгоритмы управления и определения искомых параметров. За счет итерационного алгоритма управления, реализующего инверсную функцию, находят в явной форме линейный алгоритм контроля, соответствующий стационарному режиму в нормированной системе координат. Примерами функционального МО являются модели вольтамперных характеристик (диодов, транзисторов, реле), амплитудно-частотные характеристики электромагнитных контуров, динамические характеристики теплопереноса и физико-химических процессов [20].

Матричное МО является логическим развитием функционального за счет интеграции функций хранения (программирования) и обработки (вычисления) информации. Эффективность матричного обеспечения обусловлена избыточностью структур и связей организованных в ассоциацию за счет регламентированного порядка хранения информации. Программное управление структурами и связями на дифференцированном уровне логических функций позволяет настраивать интегральную функцию матрицы на заданный алгоритм с произвольной адресацией. Адресация ассоциативных ячеек матрицы определяется счислением в виде позиционного кода с фиксированным основанием и произвольным весом по управляемым позициям. Целенаправленная последовательность подстановок кодов организует программу реализации функций на различных иерархических уровнях исчисления. Матричное МО включает ассоциативную математическую модель, адаптируемую на произвольные алгоритмы в адресном интервале времени, упорядоченные в логические программы. Программы обрабатывают информацию в произвольной форме счисления по заданным оператором методам исчисления для реализации информативных способов физико-химического контроля.

Примерами матричного МО с программным управлением служат сеточные модели тепло-, электрофизического и электрохимического контроля состава и свойств веществ в различных агрегатных состояниях. Определение влаго- и соледержания, кислотности и концентрации, электро- и теплозащитных свойств методами кондукто- и фотометрии, спектрального и волнового анализа предполагает математическое моделирование процессов контроля, расчет по алгоритмам качественных и количественных характеристик в реальном масштабе времени [15, 16, 18, 20].

Программно-управляемое МО продиктовано развитием матричной архитектуры микропроцессоров и компьютеров в процессе интеграции микроэлектроники и измерительной техники. Матричное обеспечение дифференцирует ПИП до функционального сенсора с программным управлением параметров и структур на макро- и микроуровнях. Интеграция матричной архитектуры микропроцессора и программно-управляемого ПИП позволяет конструировать компьютерный анализатор в виде интеллектуального сенсора. Сенсорный анализатор выполняется по информационной технологии [18, 20] в базе микропроцессорных измерительных схем (МИС) на стандартных модулях с фиксированным набором программ, реализующих в кодах микропроцессора алгоритмы физико-химического контроля по матричной математической модели.

Повышают достоверность анализа сенсорных МИС метрологические средства за счет программ калибровки параметров или структур алгоритмов МО для адаптации КА в управляемом диапазоне с заданной точностью, регламентируемой образцами с нормированными мерами. Алгоритмы калибровки включаются в банк программ сенсорного анализатора и хранятся в постоянно запоминающих устройствах интерфейсов памяти. В отличие от стандартных средств [29 – 43], констатирующих погрешность контроля аналитических приборов с жесткой структурой по результатам эксперимента – постфактум, метрологические средства [18, 20] решают задачи оптимизации, прогнозирующие эффективность физико-химического контроля априори, с гарантируемым регламентом метрологических характеристик компьютерных анализаторов.

Информативность МО повышается от линейных к функциональным и затем матричным моделям в соответствии с гибкостью алгоритмов: неуправляемые – управляемые – программно-управляемые. Расширение информативности достигается увеличением избыточности архитектуры, технологическими и экономическими затратами. Наиболее информативное матричное МО – перспектива сенсорных анализаторов и научно-исследовательских систем физико-химического контроля для изучения информационных технологий. Линейное МО с синхронным обменом и неуправляемым алгоритмом организует минимальную архитектуру с жесткой программой, выпускаемую серийно в базе МИС на уровне тестеров-анализаторов. Функционально-модульный конструктив и широкая универсальность, высокая технологичность и низкая себестоимость позволят использовать тестеры для сбора информации в сетях, анализа технологических процессов, управления персональной техникой и экспресс-контроля. Функциональное МО с асинхронным обменом и нелинейным преобразованием сигнала для управления по алгоритмам структурой ПИП реализуется архитектурой с фиксированным набором программ в компьютерных анализаторах широкого назначения. Это анализ и контроль, управление и регулирование процессами и объектами в различных областях хозяйства, науки и техники. Средняя информативности КА предполагает умеренные мощность и цену, относительно высокие метрологические и технологические характеристики.

1.7. РАЗВИТИЕ МИКРОПРОЦЕССОРНЫХ СРЕДСТВ

Этапы развития микроэлектроники отражают объективные процессы становления микропроцессорных средств с позиций информационной интеграции. При разработке микропроцессорных средств базисные структуры микроэлектроники могут служить ориентиром уровня практической значимости сконструированного решения. Создаваемые субъектом программно-управляемые средства можно сравнивать по гибкости и универсальности (информационной интеграции) с объективно существующими базами микропроцессорной техники. При этом мерой развития разработки служит сумма функциональных возможностей или сходство проектируемого и эталонного (базисного) микропроцессорных средств (рис. 1.3).

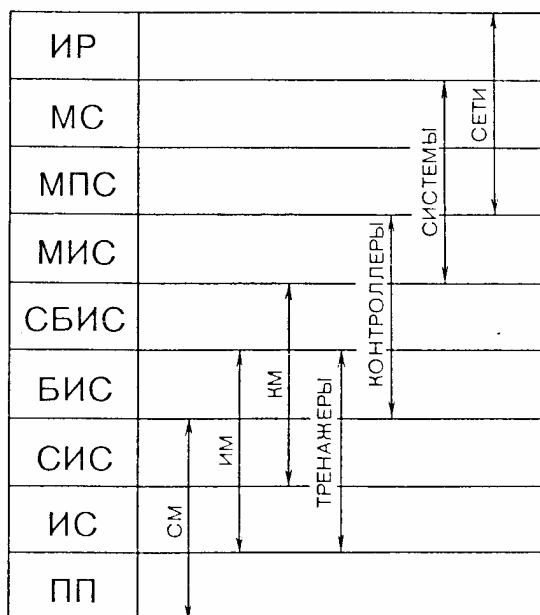


Рис. 1.3. Сопоставление проектируемых и базисных структур микропроцессорных средств

В отличие от аппаратно-управляемых микропроцессорные средства в процессе разработки повторяют вехи становления базисных структур. Случайный, на первый взгляд, процесс разработки средств по программе приводит к детерминированному решению генеалогического дерева микроэлектроники. Вследствие более высокой степени упорядоченности при создании микропроцессорных средств программируемые логические матрицы (ПЛМ) более перспективны, чем функционально законченные комбинаторные логические элементы.

Диапазон использования ПЛМ разнообразен по вертикали (от ИС до ИР) и представлен по горизонтали для основных базисных структур. Благодаря гибкости архитектуры ПЛМ находят применение на уровне специализированных (СМ), интерфейсных (ИМ) и контроллерных (КМ) матриц.

Специализированные матрицы заменяют дефицитные, сложные комплексные элементы комбинаторной логики при реализации пространственных, временных или функциональных преобразований. По вертикали специализированные матрицы находят применение от полупроводниковых приборов (в качестве матричных преобразователей энергии) до средних интегральных схем (как аппаратно-управляемые преобразователи). По горизонтали, например на уровне СИС, на специализированных матрицах реализуются дешифраторы, мультиплексоры, логические и арифметические устройства. При наличии готовых серийно выпускаемых схем следует отдавать предпочтение промышленным изделиям, так как изготавливаемые пользователем специализированные матрицы более трудоемки и потребляют значительную энергию. Это обусловлено применением в качестве специализированных матриц постоянных и репрограммируемых запоминающих устройств, уступающих запоминающим устройствам с масочным программированием, которые применяются в схемах при серийном производстве.

Интерфейсные матрицы служат для архитектурного совмещения стандартных комплектов различного профиля. В отличие от специализированных интерфейсные матрицы включают жесткие программы, переключение которых осуществляется импульсами базовых комплектов. По вертикали интерфейсные матрицы замещают малые, средние и большие интегральные схемы. Используются диалоговые и автоматические интерфейсы ввода-вывода, генераторы и делители частоты, интерфейсы памяти с нестандартной иерархией или выборкой информации. Расчеты по жесткому алгоритму, необходимые при нормировке исследуемого сигнала, калибровке и коррекции управляющих импульсов, часто включаются в архитектуру автоматических интерфейсов ввода-вывода. Вычисления реализуются не только аппаратными, но и программными средствами интерфейсных блоков, что в итоге децентрализует периферию и освобождает микропроцессор от циклических длительных расчетов. Интерфейсные матрицы по архитектуре являются функционально законченными узлами микропроцессорных средств, но по гибкости и универсальности значительно уступают контроллерным матрицам.

Контроллерные матрицы служат периферийными микропроцессорами. Они выполняют функции контроля и управления по гибким алгоритмам, реализованным на микропрограммном уровне набором сервисных подпрограмм. Контроллерные матрицы разрабатывают для программного и микропрограммного управления отдельных блоков и устройств микропроцессорных средств. Программно-управляемые контроллерные матрицы являются основой микропроцессора и используются как управляющие устройства. По гибкости и универсальности устройства управления выполняют программными, микропрограммными в рамках микропроцессора и в виде функционально законченных однокристалльных контроллеров.

Контроллерные матрицы в своем развитии претендуют на функциональную завершенность и информационную интеграцию. На уровне БИС программируемые логические матрицы интегрируются в самостоятельные микропроцессорные средства. Проследим динамику развития программно-управляемых средств в процессе проектирования и разработки, отладки и настройки микропроцессорных приборов.

Микропроцессорные средства по функциональному назначению можно разделить на четыре группы: микротренажеры и микроконтроллеры, системы и сети. Первые две группы предназначены для индивидуального пользования, а последние – для коллективного. Однако такое деление условно и определяется предназначением созданного средства.

Микротренажеры – вспомогательные микропроцессорные средства для индивидуального обучения математического, программного и аппаратного обеспечения комбинаторных и матричных структур на различных иерархических уровнях. Они предназначены для наглядного обучения операторов, проверки и контроля микропроцессорных средств, их анализа и синтеза, определения функционирования в пространственных, временных и функциональных координатах. По степени интеграции микротренажеры конструируются в базе комбинаторной и матричной логики на микропроцессорах и компьютерах. В зависимости от гибкости управления микротренажеры реализуют аппаратное, программное и микропрограммное управление, а выбор степени гибкости определяется целями и задачами, стоящими перед микропроцессорными средствами. При изучении аппаратных средств используют штекеры, разъемы и тумблеры для ввода, линейные и точечные светодиоды для вывода информации; реализация программных средств архитектуры требует кнопочного и сенсорного ввода. Отображение информации осуществляется в цифровой или матричной форме.

Важную функцию в микротренажерах выполняет мнемосхема – отображение статической информации. Это блоки функциональной схемы, таблицы состояний, эпюры временных диаграмм, блок-схемы алгоритмов и т.д. Мнемосхема является материальным обеспечением и может быть реализована аппаратными, аппаратно-программными и программными средствами. Простейшая мнемосхема выполняется в виде рисунка, аппликации или проекции. На экране дисплея мнемосхема индицируется знакогенератором, выполненным аппаратными или программными средствами. Рационально придуманная мнемосхема не только повышает эргономические показатели, но и расширяет функциональные возможности микропроцессорного средства. Гибкость, простота и наглядность – основные свойства микротренажеров.

Более высоким по функциональной значимости является *микроконтроллер*. Кроме учебно-воспитательных функций он служит для модификации микропроцессорных средств за счет изменения программ алгоритмов. Как и микротренажер, микроконтроллер предназначен для индивидуального пользования, но в различных по управлению режимах: ручном, полуавтоматическом и автоматическом. Микроконтроллеры служат для перемещения и контроля служебной информации во времени и пространстве. Для контроля информации во времени предназначены, например, таймеры, тахометры и часы; для перемещения в пространстве – порты, знакосинтезаторы и адаптеры; для перемещения во времени – плейеры, магнитофоны и программаторы. Информация может храниться в виде оригинала и копии, а также может быть представлена таблицей, алгоритмом, константами и функцией. Перемещение и контроль информации осуществляют в числе и коде, а представляют информацию в число- и кодоимпульсной форме. Микроконтроллеры могут применяться для контроля, аттестации и проверки основных микропроцессорных средств.

Для настройки и отладки микропроцессорных средств служат *системы*, представляющие собой действующие макеты блоков, устройств и приборов. В качестве систем используют законченные технические разработки перспективных моделей, которые принимаются за базовую модель очередного этапа конструирования. На этапе научно-исследовательской работы системы являются микропроцессорной оснасткой и испытательным полигоном для новых технических решений. Они служат

связующим звеном между последними достижениями и будущими проектами. Микропроцессорные системы материализуют творческий потенциал разработчика и осуществляют преемственность этапов технического развития. В процессе опытно-конструкторских работ системы испытываются по всем метрологическим параметрам, совершенствуются и доводятся до норм, утвержденных заданием. При внедрении микропроцессорных средств и их эксплуатации системы используются как микротренажеры для обучения пользователей и как дубликаты внедряемых объектов.

В качестве испытательных и наладочных стендов применяются системы-имитаторы, которые могут выполнять функции микроконтроллеров при аттестации приборов на производственном конвейере. Кроме того, имитаторы экспонируются на выставках, служат наглядными пособиями и лабораторными стендами. Микропроцессорные средства от компьютеров до интеллектуальных роботов сохраняются в имитаторах. Они хранят смелые и оригинальные новации, далеко опережающие век создателя; интегрируют историю с настоящим, скованным возможностями технологии; раскрывают тайны рукотворных узоров грядущего, понятного пытливому воображению исследователя. Системы, как правило, являются творением группы специалистов: электронщиков и программистов, математиков и метрологов. Универсальность и многофункциональность систем позволяют изучать их на различных курсах приборостроения и на разных иерархических уровнях микроэлектроники как при индивидуальном, так и при коллективном обучении.

Микропроцессорные средства в процессе динамики могут объединяться по функциональному назначению в *сети* коллективного пользования. Сеть реализуется на двух иерархических уровнях подчинения из однотипных систем с организацией подчинения сверху вниз. Нижний уровень состоит из равноценных индивидуальных пультов, связанных по архитектуре в единую сеть. Управление нижним уровнем осуществляется центральным пультом, расположенным на верхнем иерархическом уровне. Пульты между собой объединены проводной или беспроводной связью и в единую сеть скоммутированы через адресное пространство. Связь между уровнями организуют с циклическим опросом, с параллельной выборкой и с приоритетным прерыванием. При циклическом опросе к центральному пульту последовательно во времени коммутируются по очереди пульти нижнего уровня. В соответствии с выбранным адресом соединяются с центральным пультом периферийные устройства при параллельной выборке. Приоритетное прерывание используют при автоматическом сборе информации, позволяющем пропускать информацию на центральный пульт по мере ее накопления по заданному критерию на пультах нижнего уровня.

Периферийные пульти выполняются более простыми и дешевыми, чем центральный, что обусловлено делегированием сервисных и управляющих функций на верхний уровень. Из множества режимов работы сетей основными являются режимы коллективного и индивидуального пользования в учебном процессе, производстве и научных исследованиях. В индивидуальном режиме периферийные пульти независимы и функционируют асинхронно по различным программам пользователей. При коллективном обслуживании приоритет передается центральному пульту, который синхронно управляет работой пультов периферии по заданной программе. Архитектура сетей является наиболее гибкой и развитой, что позволяет ее адаптировать программными средствами с микропроцессорными средствами различного иерархического уровня. Сопоставляя динамику развития микропроцессорных средств с этапами становления микроэлектроники, можно отметить зоны перекрытия создаваемых приборов.

Интересно отметить, что на каком бы уровне не началась разработка микропроцессорных средств прибористами, им предстоит реализовать как программно-управляемые приборы от сетей до микротренажеров, так и ПЛМ от контроллерных до специализированных интегральных схем. Динамика развития микропроцессорных средств копирует этапы становления микроэлектроники за счет создания порядка, систематизирует знания конструктора-прибориста и проявляется в творениях инженера в виде изобретений и открытий. Микропроцессорные средства – это организация и порядок, поэтому материал книги излагается по вышеизложенной концепции.

ПРОЕКТИРОВАНИЕ МИКРОПРОЦЕССОРНЫХ СРЕДСТВ И ПРИБОРОВ

Микропроцессорные средства и приборы, являясь продуктом интеграции аппаратных и метрологических средств, математического и программного обеспечения, позволяют проводить анализ и синтез блоков устройств и приборов с позиций физики и математики, логики и электроники. Наиболее сложным до настоящего времени является проектирование электронных схем на практике. Логический аппарат булевых преобразований не применим на практике вследствие многомерности программно-управляемых преобразователей, а рассмотрение электронных схем в отрыве от взаимосвязанных средств лишь усугубляет положение. Фетиш электронных средств обусловлен отсутствием инженерной методики и единого мировоззрения на многогранность микропроцессора. Концепция информационной интеграции объясняет взаимосвязанность в микропроцессоре различных по качеству функций. Это позволяет изучать многогранность программно-управляемых средств с единых позиций, используя аналогию между различными функциональными представлениями, и предложить инженерную методику проектирования.

2.1. СПОСОБЫ ПРЕДСТАВЛЕНИЯ ФУНКЦИЙ

Функция может быть задана четырьмя основными способами в виде:

- 1) семейства временных диаграмм, наглядно отображающих физику преобразования сигнала;
- 2) структурной формулы, описывающей функциональную связь между входными и выходными координатами в пространстве и во времени;
- 3) таблицы истинности (или состояний), представляющей собой алгоритм работы;
- 4) схемы, отражающей иерархический уровень и базис микроэлектроники.

Вследствие многообразия способов представления функции в микроэлектронике схемотехника является математикой образцов и ее использование ограничивается узким кругом специалистов – электронщиков. Электронщики оперируют схемами на структурном, функциональном и принципиальном уровнях и используют в качестве базиса гамму микроэлектронных средств от полупроводниковых приборов до СБИС. Отсутствие инженерных методик синтеза схем приравнивает схемотехнику к искусству, а разработчика инициирует на слепой поиск электронных шедевров в необъятной области комбинаторных сочетаний. Электронные схемы в микропроцессорной технике относятся к аппаратным (аппаратурным) средствам в отличие от программного обеспечения.

Программное обеспечение микропроцессорных средств задается для элементарных функций в виде таблиц истинности для комбинационных схем и таблиц состояний для последовательностных схем. Таблицы истинности – это упорядоченный набор возможных сочетаний входных сигналов и их реакция на выходе, представленные комбинацией логических нулей и единиц. Размерность таблицы задается кодами входных и выходных переменных, причем число столбцов определяется количеством позиций, а число строк – всевозможным набором состояний. В простейшем случае входная таблица реализуется в двоичном коде

$$N_2 = \sum_{i=0}^{n-1} \xi_i 2^i,$$

где i – позиция; $\xi_i = \{0; 1\}$ – вес; 2 – основание двоичного кода.

Из таблицы (рис. 2.1) видно, что в столбце с нулевой позицией (переменная a) значения 0 и 1 чередуются друг за другом, на первой позиции b – реже в 2 раза, а на второй для переменной c – в 4 раза. Это позволяет заполнить таблицу входных переменных по мнемоническому правилу, начиная с нулевого 0_i и кончая единичным 1 состоянием. Выходную F_j комбинацию состояния в таблице задают, исходя из физических процессов, логических условий или кодов. Программирование в кодах (аппаратное

a	b	c	F
0	0	0	1
1	0	0	0
0	1	0	0
1	1	0	1
0	0	1	1
1	0	1	0
0	1	1	0
1	1	1	1

Рис. 2.1. Таблица истинности логического элемента

или машинное программирование) – удел электронщиков, организующих сервисное микропрограммное управление микропроцессорных средств в соответствии с заданным алгоритмом функционирования.

Алгоритм может быть задан математической зависимостью в виде структурной формулы. Математическую запись логических высказываний предложил Д. Буль, поэтому алгебра логики часто называется булевой алгеброй. Структурная формула может быть представлена в дизъюнктивной или конъюнктивной нормальной форме. Первая форма представляет собой логическую сумму элементарных логических произведений (минтермов), в каждом из которых аргумент a_i или его отрицание \bar{a}_i входит не более одного раза [2, 3, 15 – 23, 28, 29, 46], например

$$F = (a, b, c) = \bar{a}\bar{b}c + a\bar{b}c + \bar{a}bc.$$

Запись структурной формулы в дизъюнктивной форме имеет вид

$$F = \sum_{j=0}^{n-1} F_j(1) = \sum_{j=0}^{n-1} \prod_{i=0}^{k-1} \varphi_{ij} a_i,$$

где $\varphi_{ij}(1) a_i = a_{ij}$ – прямое значение; $\varphi_{ij}(0) a_i = \bar{a}_{ij}$ – инверсное значение.

Переход от таблицы истинности к структурной формуле в дизъюнктивной форме осуществляется только по минтермам, произведение которых равно единице, т.е.

$$\prod_{i=0}^{k-1} \varphi_{ij} a_i = F_j(1) = 1.$$

Сумма всех единичных минтермов организует дизъюнктивную форму представления структурной формулы. Например, для рис. 2.1 находим

$$F(a, b, c) = \bar{a} \bar{b} \bar{c} + a \bar{b} \bar{c} + \bar{a} b c + a b c. \quad (2.1)$$

Вторая форма представления структурной формулы получила название конъюнктивной и является инверсией дизъюнктивной формы. При этом произведение заменяется суммой, а сумма – произведением; прямое значение переписывается инверсным, а инверсное – прямым. Конъюнктивная форма – это произведение элементарных логических сумм (макстермов); например

$$F(a, b, c) = (a + b + c)(\bar{a} + \bar{b} + c)(\bar{a} + \bar{b} + \bar{c}).$$

Математическое представление конъюнктивной формы в общем виде можно выразить как

$$F = \prod_{j=0}^{n-1} F_j(0) = \prod_{j=0}^{n-1} \sum_{i=0}^{k-1} \varphi_{ij} a_i,$$

где $\varphi_{ij}(0) a_i = a_{ij}$ – прямое значение; $\varphi_{ij}(1) a_i = \bar{a}_{ij}$ – инверсное значение.

Переход к конъюнктивной форме от таблицы истинности осуществляется для макстермов, сумма которых равна нулю, т.е.

$$\sum_{i=0}^{k-1} \varphi_{ij} a_i = F_j(0) = 0.$$

Произведение нулевых макстермов представляет собой структурную формулу в конъюнктивной форме. Например, для рис. 2.1 находим

$$F(a, b, c) = (\bar{a} + b + c)(a + \bar{b} + c)(\bar{a} + b + \bar{c})(a + \bar{b} + \bar{c}). \quad (2.2)$$

Форма × a_1	ΣΠ	ΠΣ
$\varphi_{ij}(1)$	a_{ij}	\bar{a}_{ij}
$\varphi_{ij}(0)$	\bar{a}_{ij}	a_{ij}

Рис. 2.2. Таблица переходов

Правила перехода из одной формы в другую сведены в таблицу, представленную на рис. 2.2. Они связаны между собой принципом двойственности, выраженным теоремой де Моргана следующим образом:

а) инверсия суммы переменных, представленных в прямом значении, равна произведению этих переменных, представленных инверсией,

$$\overline{\sum_{i=1}^n A_i} = \prod_{i=1}^n \bar{A}_i;$$

б) инверсия произведения прямых переменных равна сумме этих переменных, представленных в инверсном значении,

$$\overline{\prod_{i=1}^n A_i} = \sum_{i=1}^n \bar{A}_i.$$

Синтез структурной формулы является результатом анализа электронных схем, таблицы истинности или временной диаграммы.

На практике при создании аппаратных и программных средств микропроцессорных устройств известна, как правило, временная диаграмма или их семейство. Чаще всего семейство временных диаграмм задается физическими условиями или логическими рассуждениями. Амплитуда сигналов откладывается по оси ординат, на которой указываются переменные $\{a_i\}$. Ось абсцисс показывает изменение времени t . На временной диаграмме показывают сочетание всевозможных комбинаций $f = f\{a_i\}$, но чаще всего ограничиваются значащими комбинациями.

Зависимость выходной переменной f от входных значений $\{a_i, b\}$ представляется на временных диаграммах одним законченным циклом, включающим все сочетания входных переменных. На диаграммах сигнал может быть в положительной

($+E$) и отрицательной ($-E$) полярности (рис. 2.3 и 2.4). Временная диаграмма наглядна и доступна для понимания физического процесса, а для синтеза электронных схем в аппаратной, программной или математической форме используют соответствующие правила перехода.

Для синтеза таблицы истинности осуществляют переход из временной диаграммы (см. рис. 2.3, 2.4) к таблице по правилам, сведенным в таблицу, представленную на рис. 2.5. При этом различают положительную (+) и отрицательную (-) логику. В положительной логике прямому значению потенциала сопоставляется прямое логическое значение, например $+E \rightarrow 1$; $0 \rightarrow 0$; $-E \rightarrow 1$. В отрицательной логике прямому значению потенциала ставится в соответствие инверсное логическое значение: $0 \rightarrow 1$; $|E| \rightarrow 0$.

Для построения таблицы по временной диаграмме необходимо повернуть последнюю на 90° (транспонировать) и в соответствии с рис. 2.5 провести переход из физических потенциалов к логическим координатам (рис. 2.6). Число столбцов в таблице соответствует количеству переменных на шкале ординат семейства временных диаграмм, а число строк – количеству возможных комбинаций на временной шкале абсцисс.

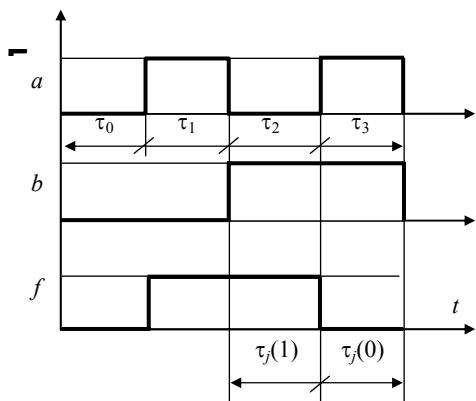


Рис. 2.3. Временные диаграммы при положительном импульсе:

$\tau_j, j = 0, n$ – интервалы времени;
 j – состояния; $\tau_j(1) - \tau_j \in f(1)$; $\tau_j(0) - \tau_j \in f(0)$

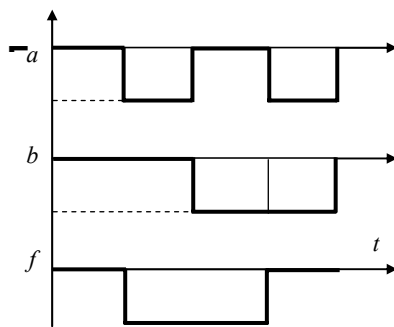


Рис. 2.4. Временные диаграммы при отрицательном импульсе

L	+	-
Φ		
$ E $	1	0
0	0	1

Рис. 2.5. Таблица переходов:

L – логическая функция;
 Φ – физическая функция

a	b	f
0	0	0
1	0	1
0	1	1
1	1	0

Рис. 2.6. Таблица истинности

Существует, очевидно, переход от таблицы истинности к временной диаграмме. Мнемоническое правило включает транспонирование таблицы (поворот на 90°) и замену логических координат физическими потенциалами в соответствии с замещением (см. рис. 2.5).

По временной диаграмме можно синтезировать структурные формулы в дизъюнктивной и конъюнктивной формах.

Запись в дизъюнктивной форме аналогична процедуре синтеза структурной формулы по таблице, но с учетом замещения логических координат на физические потенциалы

$$f(E) = \sum_{j=0}^{n-1} f[\tau_j(1)] = \sum_{j=0}^{n-1} \prod_{i=0}^{l-1} E_{ij}(\tau_j, a_i).$$

Так, для диаграмм, представленных на рис. 2.3, находим

$$f(E) = f(\tau_1) + f(\tau_2),$$

где

$$f(\tau_1) = E(\tau_1, a) E(\tau_1, b); \quad f(\tau_2) = E(\tau_2, a) E(\tau_2, b).$$

Пользуясь правилом перехода (рис. 2.7), можно записать:

$$f(\tau_1) = f_1 = a\bar{b}; \quad f(\tau_2) = f_2 = \bar{a}b.$$

Результат решения имеет вид

$$f = f_1 + f_2 = \bar{a}\bar{b} + \bar{a}b.$$

Аналогично строится структурная формула для операции конъюнкции

$$f(0) = \prod_{j=0}^{l-1} f[\tau_j(0)] = \prod_{j=0}^{l-1} \sum_{i=0}^{n-1} E_{ij}(\tau_j, a_i).$$

Для той же диаграммы (см. рис. 2.3) можно записать

$$f(0) = f[\tau_0(0)] f[\tau_3(0)],$$

где

$$f[\tau_0(0)] = E(\tau_0, a) + E(\tau_0, b); \quad f[\tau_3(0)] = E(\tau_3, a) + E(\tau_3, b).$$

После замены физических потенциалов логическими по рис. 2.7 получим

$$f = f_0 f_3 = (a + b)(\bar{a} + \bar{b}).$$

Анализ способов представления функций показывает взаимосвязь между всеми формами и однозначность в процессе преобразования из одной формы в другую. Многообразие форм позволяет анализировать и синтезировать электронные схемы с позиций физических процессов, математического моделирования и логического программирования. Все эти формы отражают многогранность программно-управляемой техники и гибкую интеграцию аппаратного, программного и математического обеспечения.

$\Phi \backslash L$	$\Sigma\Pi$	$\Pi\Sigma$
$ E $	a_i	\bar{a}_i
0	\bar{a}_i	a_i

Рис. 2.7. Таблица переходов:

L – логическая функция;
 Φ – физическая функция

2.2. ПРОЕКТИРОВАНИЕ АППАРАТНЫХ СРЕДСТВ

В микропроцессорной технике к аппаратным средствам относятся электронные схемы на различных иерархических уровнях и в любом элементном базисе.

Схемы различают структурные, функциональные и принципиальные по уровню их конкретизации. Наиболее общей является *структурная схема*, показывающая основные признаки и связи микропроцессорного средства. Признаки в структурной схеме обозначают в виде "черного ящика" с соответствующим числом входов и выходов, отражающих количество входных и выходных переменных, связанных функцией преобразования. Функция указывается в контуре "черного ящика" в русской или латинской транскрипции (рис. 2.8).

Связи в схеме показывают направление преобразования сигнала и соединения между отдельными блоками структурной схемы. В микропроцессорной технике связи могут быть представлены проводником, шиной или магистралью. Проводник осуществляет сигнальное соединение между блоками. Шина – это система одноименных проводников для передачи одноименных сигналов в межблочном пространстве. На схемах шина может быть представлена в трех вариантах (рис. 2.9, $a - e$). Различают однонаправленную и двунаправленную шины. Стрелкой на шине указывают направление распространения сигнала. Магистралью называют шину для передачи разноименных сигналов в различные моменты времени. Обозначение двунаправленной магистрали приведено на рис. 2.9, $z - e$.

Число проводников на рис. 2.9, $в, z$ показывается косой чертой и индексом над ней в цифровой или буквенной форме. Примеры структурной схемы приведены на рис. 2.12, 3.1, 3.6.

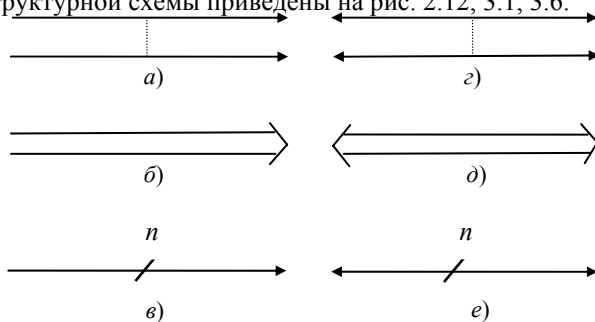


Рис. 2.9. Графическое изображение шин:
 $a - в$ – однонаправленные шины (магистраль);
 $z - e$ – двунаправленные шины; n – число проводников в шине

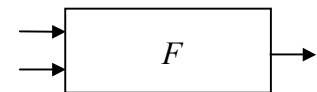


Рис. 2.8. Структурная схема логического элемента

Функциональное преобразование сигнала можно проследить на *функциональной схеме*. Блоки в этой схеме кроме условной аббревиатуры включают функциональную зависимость в контуре "черного ящика" или на его входах и выходах.

Функциональная схема более конкретизирована, чем структурная. На функциональном уровне приводятся все основные и существенные признаки структуры микропроцессорного средства, см. например рис. 3.3, 3.26.

Принципиальная схема отражает элементную базу, серию и тип элементов, соединение между проводниками элементов и адресную коммутацию. Условные обозначения элементов включают аббревиатуру информационных проводников, название элемента и порядковые номера всех соединений на практике в процессе конструирования микропроцессорных средств. Один из примеров принципиальной схемы показан на рис. 3.18. Структурная схема логического элемента, блока или узла имеет вид прямоугольника, получившего название "черного ящика". В соответствии с ГОСТ входы логического элемента обозначают слева или сверху, а выходы – справа или снизу. Расстояние между входами выбирают равными, и проводники располагают симметрично относительно центральной оси прямоугольника (рис. 2.10).

Логические элементы по упорядоченности можно классифицировать на комбинаторные и матричные. *Комбинаторные логические схемы* выполняются функционально законченными блоками различной степени интеграции в диапазоне от полупроводниковых приборов до схем средней степени интеграции. *Матричные схемы* являются элементами с рассредоточенными параметрами и могут выпускаться в виде готовых сложных изделий (БИС, СБИС), или полуфабрикатов (ИС – БИС), для организации электронных блоков пользователем посредством программирования. Матричные схемы при функциональной законченности, как и комбинаторные схемы, имеют вид структурных схем (см. например, рис. 2.10). При раскрытии матрицы на микропрограммном уровне приводится принципиальная схема в виде скелетной матрицы (рис. 2.11). Точками на матрице указывают логические соединения между соответствующими строками и столбцами. В межузловых соединениях матриц могут быть плавкие перемычки, диоды или транзисторы. На матрице входы могут быть прямые и инверсные (вход с незакрашенным кружком). При этом входная матрица включает параллельное соединение матрицы И с матрицей НЕ-И, а выходная является суммирующей матрицей ИЛИ.

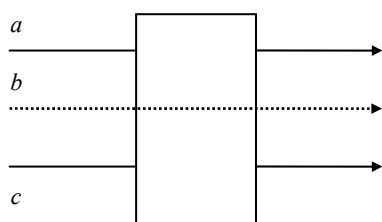


Рис. 2.10. Структурная схема логического элемента:

a, b, c – входы; X, Y – выходы; F – функция

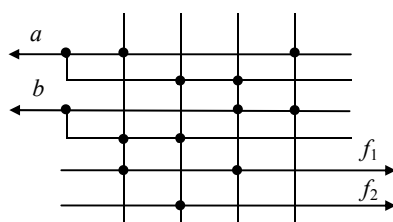


Рис. 2.11. Принципиальные схемы матричного логического элемента:

a, b – входы; f_1, f_2 – выходы

Аппаратные средства микропроцессорной техники в основном реализуются в матричной логике, однако несложные преобразования выполняются на элементах комбинаторной логики.

Комбинаторные (бессистемные) логические элементы в отличие от матричных охватывают широкую номенклатуру вследствие разнообразия базисных элементов: малые и средние интегральные схемы, полупроводниковые и другие дискретные элементы. На практике из дискретных элементов чаще всего используют герконовые реле. Они находят применение при коммутации сигналов микровольтового уровня и для сопряжения логических уровней с гальванической развязкой. Для этих же задач используются оптронные и тиратронные пары.

Таким образом, для проектирования микропроцессорных средств необходимо анализировать и синтезировать матричные и комбинаторные логические элементы. Среди дискретных элементов следует выделить диодные, транзисторные и релейные схемы, применяемые в микропроцессорной технике в качестве элементного базиса матричных и комбинаторных структур [15, 20, 22].

2.3. СТРУКТУРНЫЕ СХЕМЫ

Анализ и синтез логических элементов в матричной и комбинаторной логике на уровне структурных схем подобен проектированию интегральных схем цифровой логики. Простейшим способом синтеза логических элементов является проектирование по структурной формуле.

Алгоритм синтеза состоит из следующих этапов.

1. Структурную схему строят по аналогии со структурной формулой, причем:

- а) функцию умножения (конъюнкции) заменяют элементом конъюнкции И (&);
- б) функцию сложения (дизъюнкции) замещают элементом дизъюнкции ИЛИ (∪);
- в) число входов элементов определяют по числу сомножителей для конъюнктора или слагаемых для дизъюнктора;
- г) считают, что каждый логический элемент содержит один выход.

2. Организуют число входов по количеству переменных в структурной формуле. При использовании матрицы горизонтальные проводники входов удобно соединять с вертикальными проводниками.

3. Конструируют первый уровень из конъюнкторов для первой нормальной формы (дизъюнкторов для второй формы) по числу членов слагаемых (сомножителей для конъюнктивной формы).

4. Входы элементов первого уровня соединяют с соответствующим формуле a_i термом, причем инверсный терм \bar{a}_i отмечают кружочком на соответствующем входе.

5. Строят второй уровень из дизъюнкторов (конъюнкторов для второй формы).

6. Выходы элементов первого уровня объединяют со входами элементов второго уровня в соответствии со структурной формулой.

Пример построения логического элемента в комбинаторной логике в соответствии со структурной формулой (2.1) приведен на рис. 2.12.

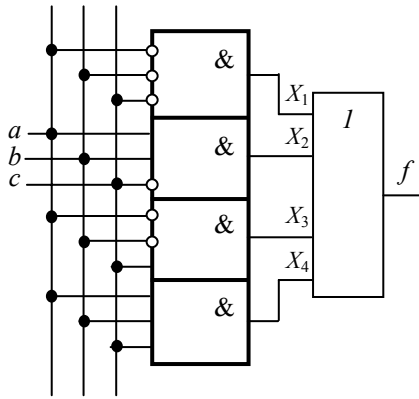


Рис. 2.12. Структурная схема логического элемента в комбинаторной логике

2.4. АНАЛИЗ СТРУКТУРНОЙ СХЕМЫ

Анализ структурной схемы удобно проводить, используя структурную формулу. Правила построения структурной формулы соответствуют обратному переходу, рассмотренному выше. Запись формулы целесообразно выполнять, анализируя структурную схему с выхода на вход посредством введения промежуточных обозначений.

Для примера обозначим входные переменные элемента ИЛИ как x_i (см. рис. 2.12), тогда

$$f = \sum_{i=1}^4 x_i.$$

Заменяя элементы И конъюнкцией с учетом инверсных и прямых значений, находим:

$$\begin{aligned} x_1 &= \bar{a} \bar{b} \bar{c}; & x_3 &= \bar{a} \bar{b} c; \\ x_2 &= a b \bar{c}; & x_4 &= a b c. \end{aligned}$$

После подстановки в исходную формулу получаем значение функции

$$f = \bar{a} \bar{b} \bar{c} + a b \bar{c} + \bar{a} \bar{b} c + a b c,$$

что совпадает с исходной структурной формулой (2.1).

По структурной формуле можно синтезировать временную диаграмму и таблицу истинности.

Для построения таблицы истинности пользуются таблицей перехода, представленной на рис. 2.2. На первом этапе заполняют таблицу входных переменных, а на втором – таблицу выходных столбцов. Минтермы, указанные в структурной формуле, сопоставляют с логической единицей; оставшимся минтермам приписывают нулевые значения. Для конъюнктивной структурной формулы, соответствующей макстермам, записывают в выходном столбце логические нули, остальные позиции заполняют единицами.

Построим таблицу истинности для выражения (2.1) в дизъюнктивной форме. Учитывая наличие в формуле (2.1) трех входных переменных и одной выходной, выбираем таблицу из четырех столбцов на восемь комбинаций (рис. 2.13). Пользуясь таблицей переходов, приведенной на рис. 2.2, находим:

$$\begin{aligned} \bar{a} \bar{b} \bar{c} &\rightarrow 000; & \bar{a} \bar{b} c &\rightarrow 001; \\ a b \bar{c} &\rightarrow 110; & a b c &\rightarrow 111. \end{aligned}$$

Из таблицы, приведенной на рис. 2.13, следует, что

$$f_0 + f_3 + f_4 + f_7 = f(1) = 1.$$

a	b	c	$F(1)$	$F(0)$
0	0	0	f_0	1
1	0	0	0	f_1
0	1	0	0	f_2
1	1	0	f_3	1
0	0	1	f_4	1
1	0	1	0	f_5
0	1	1	0	f_6
1	1	1	f_7	1

Рис. 2.13. Таблица истинности комбинационного элемента

Заполняя найденные значения f_i логическими единицами, а оставшиеся значения нулями, получаем таблицу истинности, приведенную на рис. 2.1.

Структурная формула (2.2) в конъюнктивной форме также соответствует таблице (см. рис. 2.13). Согласно таблице, приведенной на рис. 2.2, можно записать:

$$\begin{aligned}(\bar{a} + b + c) &\rightarrow 100; & (\bar{a} + b + \bar{c}) &\rightarrow 101; \\(a + \bar{b} + c) &\rightarrow 010; & (a + \bar{b} + \bar{c}) &\rightarrow 011.\end{aligned}$$

Эти макстермы нулевые

$$f_1 f_2 f_5 f_6 = f(0) = 0.$$

Позиции найденных функций заполняем нулями, остальные – логическими единицами, получая в итоге таблицу истинности (см. рис. 2.1). По таблице истинности несложно реализовать временную диаграмму, которую можно построить, пользуясь таблицей перехода, приведенной на рис. 2.5.

Для структурных схем в комбинаторной логике единственным таблицам истинности и временным диаграммам соответствует множество аппаратных решений. Это обусловлено принципом двойственности, присущим булевой алгебре, и возможным сочетанием, возникающим в процессе преобразования структурных формул по теоремам алгебры логики. На практике выбирают решение, отвечающее имеющемуся в наличии элементному базису или предлагаемой промышленностью серией микросхем.

2.5. ИНТЕГРАЛЬНЫЕ СХЕМЫ

В микропроцессорной технике для коммутации первичных измерительных преобразователей и объектов управления находят применение полупроводниковые вентили и сборки на диодах и транзисторах. Проектирование принципиальных схем на полупроводниковых логических элементах имеет свою специфику для комбинаторных схем. Специфичность заключается в итеративном анализе дискретных схем, выбранных по экспертным оценкам. Время поиска определяется опытом разработчика, выступающего в роли эксперта, и сокращается алгоритмизацией анализа. Ниже предлагается один из аналитических способов анализа диодных и транзисторных элементов.

МЕТОД ДЕЛИТЕЛЯ НАПРЯЖЕНИЯ

Делитель напряжения представляет собой последовательное соединение резисторов, параллельно включенных в цепь источника питания. На основе делителя напряжения построены мосты и фильтры, вентили и логические элементы, дифференциальные и операционные усилители, дискретные и аналогово-импульсные преобразователи и т.п.

Рассмотрим электрическую цепь (рис. 2.14, а), состоящую из резисторов R_1 , R_2 и источника питания E . Рассчитаем напряжение U_2 на резисторе R_2 .

На основании закона Ома можно записать, что искомое напряжение $U_2 = R_2 I_2$, а для полной цепи $E = (R_1 + R_2) I$. Учитывая непрерывность тока, что соответствует первому закону Кирхгофа $I = I_2$, из системы уравнений находим

$$U_2 = \frac{E R_2}{R_1 + R_2}.$$

Следовательно, напряжение на выходе делителя напряжения прямо пропорционально напряжению питания и сопротивлению выходного резистора и обратно пропорционально суммарному сопротивлению резисторов. Удобно представить исследуемую цепь в виде эквивалентной схемы (рис. 2.14, б). В микроэлектронике поэтапное преобразование электрической схемы к эквивалентной с известной математической моделью позволяет упростить расчеты и сократить время на решение задачи.

Параметры эквивалентной схемы идентичны соответствующим параметрам исследуемой цепи. Это утверждение основывается на дедуктивном методе; для двух объектов с одинаковыми функциями и аргументами соответствующие параметры равны [15, 16], что несложно показать математически. Для системы линейных уравнений с аргументами $\{x, y\}$, параметрами $\{a_0, b_0\}$ и $\{a_1, b_1\}$ и равными функциями F находим:

$$\begin{cases} a_0 x + b_0 y = F; \\ a_1 x + b_1 y = F, \end{cases}$$

что при равенстве правых частей означает и равенство левых. Вычтем из первого уравнение второе, в результате чего получим

$$(a_0 - a_1)x + (b_0 - b_1)y = 0.$$

Для аргументов $\{x, y\} \neq \{0, 0\}$ следует равенство параметров системы уравнений

$$\begin{cases} a_0 - a_1 = 0; \\ b_0 - b_1 = 0 \end{cases}$$

или

$$(a_0, b_0) = (a_1, b_1),$$

что соответствует исходному утверждению.

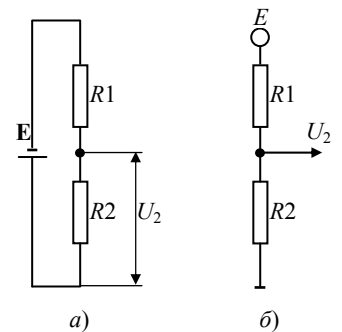


Рис. 2.14. Схемы делителя напряжения:
а – реальная;
б – эквивалентная

Графическое преобразование сложной цепи в эквивалентную схему делителя напряжения – мощный инструмент микроэлектроники. Целенаправленная последовательность графических операций – это математика образцов, использующая итеративный подход.

Рассмотрим метод делителя напряжения для цепи, приведенной на рис. 2.15. Цепь состоит из последовательно включенных резисторов $Z1-Z3$. Необходимо определить напряжение U_{23} , снимаемое с резисторов $Z2$ и $Z3$.

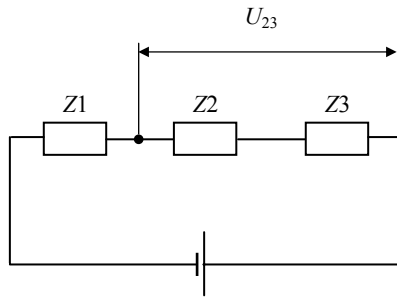


Рис. 2.15. Электрическая цепь делителя напряжения

1. Преобразуем заданную цепь к известной, поворотом на 90° и заменой источника питания E клеммами подключения, обозначив общую точку входной и выходной цепи как корпус "1".

2. Сопоставим приведенной схеме (рис. 2.16, а) схему известного делителя напряжения (рис. 2.16, б) с утверждением равенства этих цепей в целом.

3. Мысленно разделим цепи относительно выходного напряжения и корпуса, считая их равными, т.е. считая, что верхние и нижние части приведенной и эквивалентной цепей равны между собой.

4. Применяя формулы делителя напряжения и учитывая, что

$$R_1 = Z_1; \quad R_2 = Z_1 + Z_2; \quad U = U_{23},$$

находим искомое напряжение

$$U_{23} = \frac{E(Z_2 + Z_3)}{Z_1 + Z_2 + Z_3}.$$

Как видно из примера, задача свелась в основном к графическим итерациям от исследуемой цепи к эквивалентной схеме делителя напряжения.

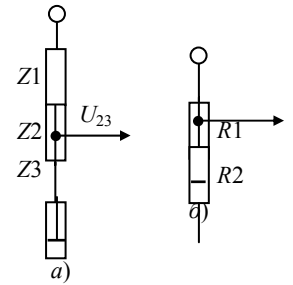


Рис. 2.16. Схемы делителя напряжения:

а – приведенная;
б – эквивалентная

АНАЛИЗ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ МЕТОДОМ ДЕЛИТЕЛЯ НАПРЯЖЕНИЯ

Нелинейные цепи анализируют по аналогии с анализом линейных схем, учитывая изменение сопротивлений нелинейных элементов при внешних информационных воздействиях. Для диодов и транзисторов корректно говорить о предельных сопротивлениях $R_{пр}$, $p-n$ -перехода при наличии внешних воздействий. Если информационным является напряжение E , удобно использовать таблицу (рис. 2.17), связывающую изменение сопротивления $p-n$ -переходов диода и транзисторов при воздействии электрического поля.

Для диода сопротивление $R_{пр} \rightarrow \infty$ при несовпадении на $p-n$ -переходе внутреннего e и внешнего E полей, в противном случае $R_{пр} \rightarrow 0$. Сопротивление между эмиттером и коллектором биполярных транзисторов (исток и сток полевых транзисторов) $R_{пр} \rightarrow 0$ при совпадении полярностей сигнала E и управляющего электрода, а при несовпадении полярностей, сопротивление $R_{пр} \rightarrow \infty$. Следует помнить, что предельные значения, равные бесконечности, для электрических схем соответствуют обрыву цепи на месте соединения, в противном случае (при $R_{пр} \rightarrow 0$) – наличию перемычки (короткого замыкания).

Итерация нелинейных схем сводится к замене сопротивлений диодов и транзисторов их предельными значениями с последующим преобразованием электрической цепи к эквивалентной схеме делителя напряжения. При анализе диодных и транзисторных логических схем необходимо учитывать полярность логики (см. рис. 2.5) и изменения сопротивлений $p-n$ -переходов (см. рис. 2.17), а формулу делителя напряжения рассматривать как предельное выражение

$$U_2 = \lim_{\substack{R_1 \rightarrow R_n \\ R_2 \rightarrow R_m}} \frac{ER_2}{R_1 + R_2},$$

где R_n, R_m – предельные значения сопротивлений делителя напряжения R_1, R_2 .

Анализ диодной логики. Диодные логические схемы анализируются по методу делителя напряжения для предельных значений $p-n$ -переходов при всевозможных сочетаниях логических комбинаций входных переменных. Чтобы исключить ошибки в числе комбинаций, искомой схеме ставится в соответствие таблица истинности с заполненными термами по входным столбцам (рис. 2.18). Число состояний $n = 2^i$, где показатель степени i равен числу входных переменных. Результаты анализа по каждому состоянию фиксируются по тому же адресу в выходном столбце таблицы истинности. По заполненной таблице истинности судят о логической функции анализируемой диодной схемы.

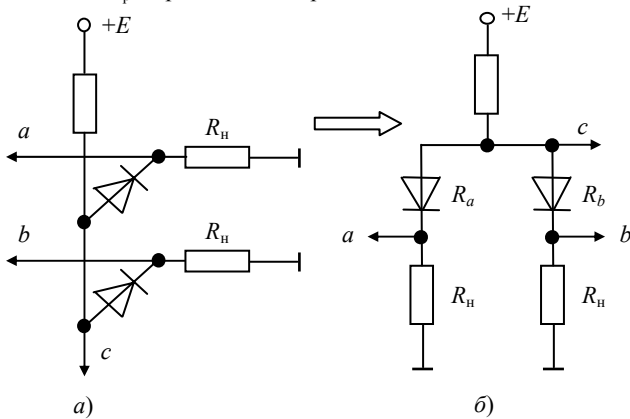
Проанализируем столбец диодной логической матрицы для двух переменных $\{a, b\}$, образованный диодами с сопротивлением $\{R_a, R_b\}$ (рис. 2.19, а), а также резисторами R и R_n .

	<i>n-p-n</i>	<i>p-n-p</i>	R_{np}
	$-E$	$+E$	∞
	$+E$	$-E$	0

<i>a</i>	<i>b</i>	<i>c</i>
0	0	
1	0	
0	1	
1	1	

Рис. 2.17. Таблица переходов:
 ПП – полупроводниковый прибор;
n-p-n-, *p-n-p*-переходы;
 R_{np} – предельное сопротивление

Рис. 2.18. Исходная таблица истинности



<i>a</i>	<i>b</i>	<i>c</i>
0	0	0
1	0	0
0	1	0
1	1	1

Рис. 2.19. Диодная логика:

a – столбец диодной логической матрицы; *б* – приведенная схема; *в* – таблица истинности

- Преобразуем исходную схему к виду, удобному для анализа (рис. 2.19, б).
- Построим таблицу истинности (см. рис. 2.18) для двух входных переменных $\{a; b\}$ и одной выходной функции *c*, учитывая, что число состояний $n = 2^2$.
- Проведем анализ состояния $c_0 = \{0; 0\}$ для аргументов $\{a; b\}$ в соответствии с таблицей переходов из логического в физическое состояние $\{0; 0\}_л \rightarrow \{0; 0\}_ф$ (см. рис. 2.5).
- Объединим входы $\{a; b\}$ с нулевым потенциалом (рис. 2.20, а) и перерисуем схему для случая $R_n = 0$ (рис. 2.20, б).
- Выполним очередную итерацию схемы, принимая во внимание направление внешнего *E* и внутренних *e* полей на *p-n*-переходах диодов R_a, R_b , которые совпадают. Согласно таблице (см. рис. 2.17), при совпадении направлений полей $R_{np} \rightarrow 0$, т.е. $R_a = R_b = R_{np}$, общее сопротивление R_{ab} диодов нулевое, что соответствует перемычке между выходом и нулевым потенциалом (рис. 2.20, в).

Действительно

$$R_{ab} = \frac{R_a R_b}{R_a + R_b} = \frac{R_{np}}{2} \rightarrow 0.$$

- Сопоставим с приведенной схемой (см. рис. 2.20, в) эквивалентную схему (рис. 2.20, г) делителя напряжения, из которой следует, что $R_1 = R$, а $R_2 = R_{ab}$.

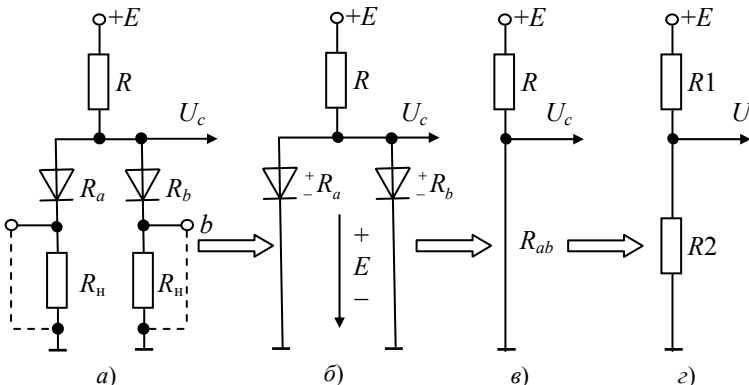


Рис. 2.20. Диодная логика для комбинаций {0S 0}:

a – исходная схема; *б* – *г* – приведенные схемы

7. Вычислим значение U_c с учетом предельного значения сопротивления R_{ab}

$$\lim_{\{0;0\}} U_c = \lim_{R_{ab} \rightarrow 0} \frac{ER_{ab}}{R_{ab} + R} = \frac{E0}{0 + R} = 0_{\Phi}.$$

8. Перейдем от физического значения к логическому отображению $0_{\Phi} \rightarrow 0_{\text{л}}$ по таблице, приведенной на рис. 2.5, и занесем результат решения $c_0 = 0$ в таблицу истинности (см. рис. 2.19, в).

9. После аналогичных рассуждений по пп. 2 – 8 исследуем другие комбинации (рис. 2.21, 2.22) и заполним таблицу истинности (см. рис. 2.19, в).

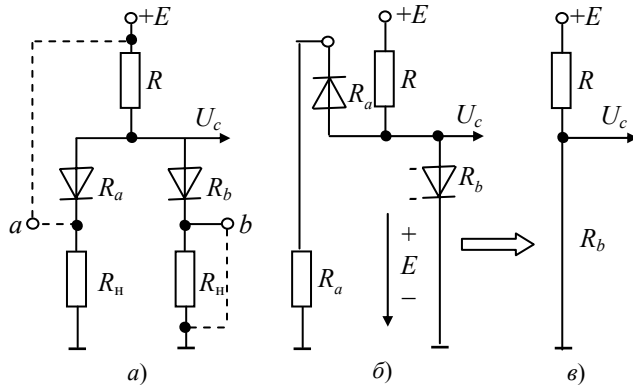


Рис. 2.21. Диодная логика для комбинаций {0; 1}:

a – исходная схема; *б*, *в* – приведенные схемы

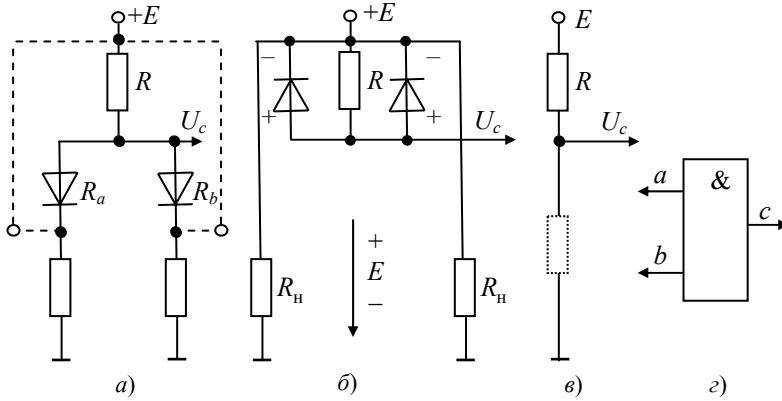


Рис. 2.22. Диодная логика для комбинаций {1; 1}:

a – исходная схема; *б*, *в* – приведенные схемы; *z* – структурная схема

10. Определим по методу дизъюнкции, что $c = c_3 = ab$. В соответствии с результатом анализа делаем вывод, что столбец логической диодной матрицы (см. рис. 2.19, а) является схемой логического умножения (рис. 2.22, з).

Для самоконтроля предлагается проанализировать строку диодной логической матрицы (рис. 2.23).

Анализ схем, представленных на рис. 2.19 и 2.23, показывает, что в диодной логической матрице столбец выполняет функцию умножения, а строка – функцию сложения.

Для столбца с n -мерной размерностью справедливо соотношение

$$c = \prod_{i=1}^n a_i,$$

соответственно для m -мерной строки диодной матрицы

$$f = \sum_{j=1}^m c_j.$$

Логическая матрица размерностью $n \times m$ в микропроцессорной технике получила название диодной логической матрицы; она используется для создания специализированных, интерфейсных и контроллерных блоков микропроцессорных приборов.

Анализ транзисторной логики. Транзисторные логические схемы анализируются по методу делителя напряжения по аналогии с анализом диодных сборок. В процессе итерации приведенные схемы, как правило, имеют более простую структуру, которая в меньшей степени подвержена модификации, чем графические образцы логических диодных схем.

Рассмотрим, например, схему транзисторной логики (рис. 2.24, а), состоящую из двух n - p - n -транзисторов, резисторов и диода. Сопротивление транзисторов эмиттер–коллектор обозначено R_a, R_b в соответствии с входными аргументами $\{a; b\}$, сопротивлением диода R_d и нагрузочными резисторами R .

1. Преобразуем исходную схему к виду, удобному для анализа (рис. 2.24, б).

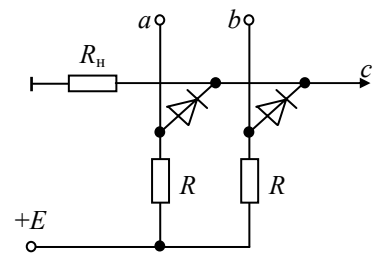


Рис. 2.23. Строка диодной логической матрицы

2. Построим таблицу истинности (рис. 2.24, в).
3. Проведем анализ состояния $c_0 = \{0; 0\}$, читая в соответствии с таблицей (см. рис. 2.5) $\{0; 0\}_л \rightarrow \{0; 0\}_ф$ для положительной логики.
4. В соответствии с заданной комбинацией объединим входы $\{a; b\}$ с нулевым потенциалом (рис. 2.25, а) и с учетом полярности (см. рис. 2.17) для n - p - n -транзисторов ($R_a = R_b \rightarrow \infty$) перейдем к схеме, представленной на рис. 2.25, б.
5. Выполним очередную итерацию схемы, принимая во внимание, что $R_d \rightarrow \infty$ (см. рис. 2.17), а правый и левый делители гальванически независимы, в итоге получаем схему, представленную на рис. 2.25, в.
6. Сопоставим приведенной схеме (см. рис. 2.25, в) эквивалентную схему (см. рис. 2.20, з) делителя напряжения, из которой следует, что $R_1 = R$; $R_2 = R_b$.
7. Вычислим значение U_c с учетом предельного значения сопротивления R_b

$$\lim_{\{0;0\}} U_c = \lim_{R_b \rightarrow \infty} \frac{ER_b}{R_b + R}.$$

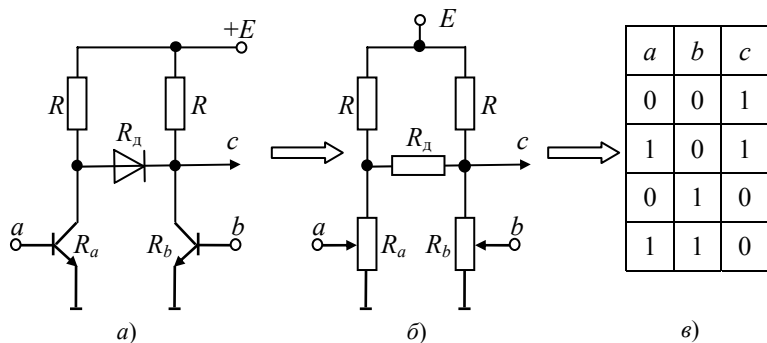


Рис. 2.24. Транзисторная логика:

а – исходная схема; б – схема замещения; в – таблица истинности

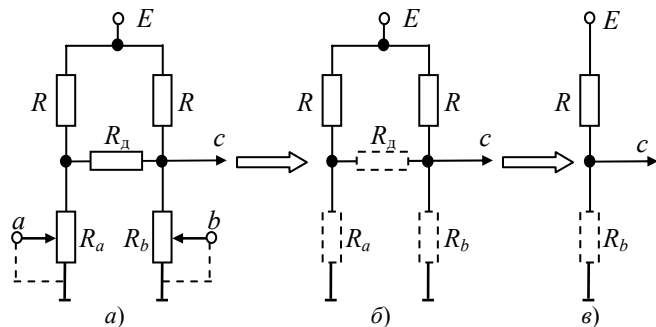


Рис. 2.25. Транзисторная логика для комбинации {0; 0}:

а – исходная схема; б – схема замещения; в – таблица истинности

В соответствии с предельными значениями $R_b \rightarrow \infty$ поделим числитель и знаменатель на R_b , в результате чего получим

$$\lim_{R_b \rightarrow \infty} \frac{E}{1 + R/R_b} = E_\phi,$$

так как в пределе $R/R_b \rightarrow 0$.

8. Перейдем от физического значения к логическому отображению $E_\phi \rightarrow I_\lambda$ по таблице (см. рис. 2.5) и занесем результат решения $c_0 = 1$ в таблицу истинности (см. рис. 2.24, в).

9. После аналогичных рассуждений по пп. 2 – 8 исследуем другие комбинации (рис. 2.26, 2.27) и заполним таблицу истинности (см. рис. 2.24, в).

10. Определим по методу конъюнкции, что $c = c_2 c_3 = (a + \bar{b})(\bar{a} + \bar{b})$. Раскрывая скобки, получим $c = a\bar{a} + a\bar{b} + \bar{a}\bar{b} + \bar{b}\bar{b}$.

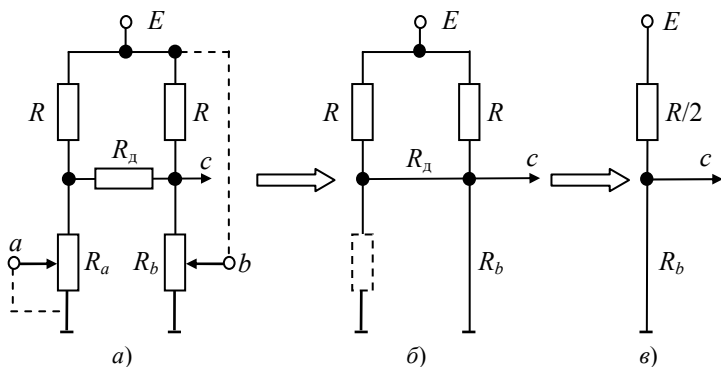


Рис. 2.26. Анализ транзисторной логики для комбинации {0; 1}:

а – исходная схема; б, в – приведенные схемы

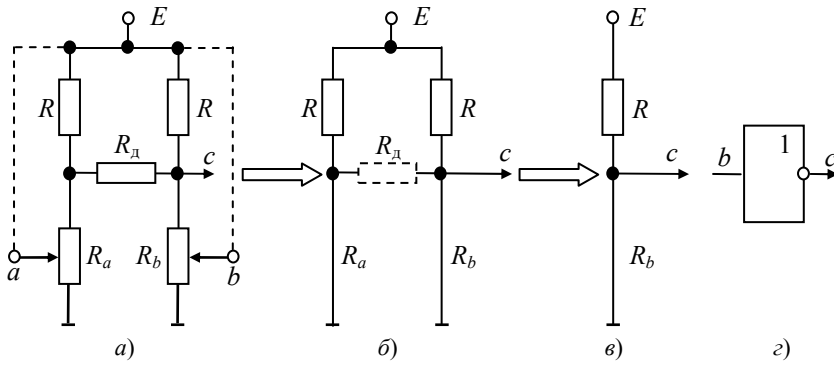


Рис. 2.27. Транзисторная логика для комбинации {1; 1}:
 а – исходная схема; б, в – приведенные схемы; г – структурная схема

Учитывая, что $a\bar{a}=0$; $a+\bar{a}=1$; $1+b=1$, найдем $c = \bar{b}$. Значит, исследуемая схема является инвертором по входу b (рис. 2.27, г).

Использование транзисторов в логических матрицах позволяет создавать программируемые логические матрицы – мозг микропроцессоров.

На их базе реализуются пространственные, временные и функциональные преобразователи сигналов [15, 16, 18].

Для транзисторных столбцов с n -мерной размерностью выходная функция по j -му столбцу

$$c_j = \prod_{i=1}^n \alpha_{ij} a_i,$$

где α_{ij} – код i -й позиции j -го столбца, принимающего значение $\{0; 1\}$. Транзисторный столбец с инверсией выполняет умножение инверсий

$$c_j = \prod_{i=1}^n \alpha_{ij}^* \bar{a}_i,$$

где α_{ij}^* – код i -й позиции j -го столбца с инверсией, причем $\alpha_{ij}^* = \overline{\alpha_{ij}}$.

Функция m -мерной строки с кодом позиции β_{ik} соответствует выражению

$$f_k = \sum_{j=1}^m \beta_{jk} c_j.$$

Программируемая логическая матрица, включающая матрицы И/НЕ – И, подсоединенная к матрице ИЛИ, реализует функцию арифметико-логического устройства

$$f_k = \sum_{j=1}^m \beta_{jk} \prod_{i=1}^n (\alpha_{ij}^* \bar{a}_i + \alpha_{ij} a_i). \quad (2.3)$$

Задавая различные коды операции $D = \{\alpha_{ij}^*; \beta_{jk}\}$, можно по программе гибко изменять функцию преобразования логической транзисторной матрицы.

На базе транзисторных матриц промышленностью выпускаются оперативно-запоминающие устройства. При использовании в ячейках матриц полевых транзисторов с индуцированным каналом строятся репрограммируемые запоминающие устройства с энергонезависимой памятью.

2.6. СИНТЕЗ СХЕМ В МАТРИЧНОЙ ЛОГИКЕ

ПРОЕКТИРОВАНИЕ ПО ТАБЛИЦЕ ИСТИННОСТИ

Алгоритм синтеза заключается в следующем.

1. Строят скелетную матрицу исходя из числа состояний таблицы истинности:

а) число строк в матрице И/НЕ – И выбирают соответственно числу входов (входных столбцов таблицы), число столбцов этой матрицы устанавливают по числу строк (состояний) таблицы истинности;

б) число строк (выходов) в матрице ИЛИ определяют по числу выходных столбцов таблицы истинности.

2. Таблицу истинности поворачивают на 90° , при этом:

а) в матрицах И, а также ИЛИ ij -й позиции, соответствующей весу логической единицы (a), планируют прожиг (логический вентиль);

б) в матрице НЕ – И прожиг фиксируют на позиции с весом логический ноль (\bar{a}).

3. В результирующей матрице приводят лишь столбцы, логически связанные с матрицей ИЛИ (соответствующие весу логической единицы).

Пример. Пусть функция задана таблицей (рис. 2.28).

1. Строим скелетную матрицу И / НЕ – И размерностью 2×4 по числу переменных $\{a; b\}$ и состояний $j = 0,3$. Матрица ИЛИ содержит одну строку, так как выходная таблица содержит один столбец (рис. 2.29).
2. По правилу перехода (рис. 2.30) после транспонирования таблицы (см. рис. 2.28) на скелетную матрицу (см. рис. 2.29) конструируем логическое соединение на соответствующих пересечениях строк и столбцов скелетной матрицы (рис. 2.31).
3. Составляем результирующую матрицу из столбцов c_0 и c_3 , связанных с матрицей ИЛИ логическими соединениями (рис. 2.32).

a	b	f
0	0	1
1	0	0
0	1	0
1	1	1

Рис. 2.28. Таблица истинности

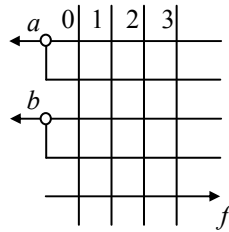


Рис. 2.29. Скелетная матрица

	M	И / ИЛИ	НЕ – И
L			
$1(a)$		•	+
$0(\bar{a})$		+	•

Рис. 2.30. Таблица переходов:
 L – логическая функция;
 M – матричное представление

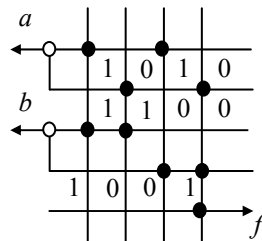


Рис. 2.31. Полная схема
элемента сравнения

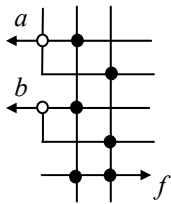


Рис. 2.32. Минимизированная
матричная схема

Синтез таблицы истинности по матрице осуществляется обратным переходом по таблице (см. рис. 2.30) при анализе логической матрицы (см. рис. 2.31). Когда используется матрица (см. рис. 2.32), то для неиспользованных комбинаций в выходном столбце записываются логические нули.

ПРОЕКТИРОВАНИЕ ПО СТРУКТУРНОЙ ФОРМУЛЕ

Алгоритм синтеза состоит из следующих этапов.

1. Преобразуют выражения в нормальную дизъюнктивную форму (сумма произведений минтермов).
2. Выявляют число входных и выходных переменных.
3. Строят скелетную матрицу:
 - а) число строк в матрице И / НЕ – И выбирают соответственно числу входных переменных;
 - б) число строк в матрице ИЛИ определяют по числу выходных переменных;
 - в) число столбцов матриц рассчитывают по числу слагаемых в структурной формуле.
4. Произведение минтерма по правилу аналогии переносят на соответствующий столбец, при этом:
 - а) прямому значению переменной a ставится в соответствие прожиг в матрице И;
 - б) инверсному значению a_i ставится в соответствие прожиг в матрице НЕ – И;
 - в) в матрице ИЛИ указанный столбец связывают логическим вентилем.

Пример. Функция задана следующей структурной формулой

$$f = (\bar{a} + b)(a + \bar{b}).$$

1. Преобразуем выражение в дизъюнктивную форму по теоремам булевой алгебры, для чего раскроем скобки:

$$f = \bar{a}a + \bar{a}\bar{b} + ab + b\bar{b}.$$

Используя соотношение $\bar{a}a = 0$, находим $f = ab + \bar{a}\bar{b}$.

2. Из анализа структурной формулы следует, что входных переменных $\{a; b\}$ две, выходных f – одна.
3. По числу переменных конструируем скелетную матрицу из двух строк в матрицах И, НЕ – И и одной строки в матрице ИЛИ. Число столбцов выбираем равным двум в соответствии с числом слагаемых (рис. 2.33).

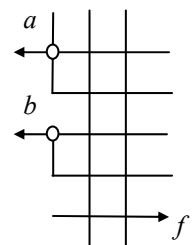


Рис. 2.33.
Скелетная матрица

4. Пользуясь правилом аналогии (см. рис. 2.30), на первом столбце фиксируем минтерм ab , а на втором $\overline{a}\overline{b}$, соединяя эти столбцы со строкой матрицы ИЛИ.

Анализ матрицы ИЛИ (см. рис. 2.32) проводим, начиная с выхода, собирая сумму для матрицы ИЛИ $f = f_0 + f_1$, а затем произведение $F_0 = ab; f_1 = \overline{a}\overline{b}$, для матриц И, НЕ – И в итоге получаем структурную формулу $f = ab + \overline{a}\overline{b}$.

ПРОЕКТИРОВАНИЕ ПО ВРЕМЕННОЙ ДИАГРАММЕ

Алгоритм состоит в следующем.

1. На временных диаграммах выявляют эпюры для входных и выходных сигналов.
2. На плане временных диаграмм строят скелетную матрицу из строк по числу эпюр и столбцов по числу состояний.

Кроме того, на плане диаграмм для входных переменных приводят строки инверсных входов.

Φ \ Л	И / ИЛИ	НЕ – И
E	⊕	+
0	+	⊕

3. Пользуясь таблицей переходов (рис. 2.34), программируют матрицы:
 - а) на матрицах И, ИЛИ потенциал E заменяют соединением между строкой и столбцом;
 - б) на инверсной матрице НЕ – И коммутируют низкие потенциалы по соответствующим адресам плана.
4. Представляют программируемую матрицу в форме, удобной для пользования.

Рис. 2.34. Таблица переходов:

Л – логическое представление;
Φ – физическое представление

Пример. Функция задана временной диаграммой, представленной на рис. 2.35. Необходимо синтезировать схему в матричной логике.

1. Из анализа временной диаграммы (или по заданию) определяем наличие двух входных $\{a; b\}$ переменных и одной выходной f .

2. На плане временной диаграммы располагаем скелетную матрицу. Для входных переменных строим как прямую, так и инверсную матрицы (рис. 2.36). Столбцы размещаем по центру соответствующих состояний, а строки – по абсциссам (нулевым уровням) и единичным уровням эпюр временных диаграмм.

3. Программируем матрицу в соответствии с таблицей (см. рис. 2.34) по правилу аналогии. Как видно из временной диаграммы, программированию подлежат нулевое и третье состояния, которым соответствует единичный потенциал на выходной эпюре (строке матрицы ИЛИ).

4. Представляем программируемую матрицу (см. рис. 2.32) в удобной для анализа форме.

По схеме в матричной логике можно построить временную диаграмму, используя таблицу переходов (см. рис. 2.34). Недостающие состояния по выходной диаграмме дополняют потенциалом нулевого уровня в положительной логике и единичным – в отрицательной.

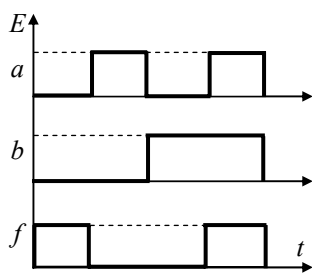


Рис. 2.35. Временные диаграммы элемента сравнения

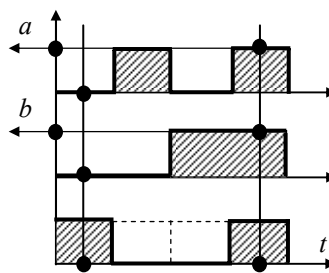


Рис. 2.36. Матричная схема, полученная по временной диаграмме

Высокая упорядоченность элементов в программируемых матрицах отличает их от комбинаторных логических схем высокой гибкостью и универсальностью, малыми габаритными размерами и низкой стоимостью, высокой интеграцией и технологичностью.

В отличие от схем в комбинаторной логике матричные схемы предполагают не итерационный анализ, а простые и наглядные, непосредственные анализ и синтез. Анализ и синтез матричной логики благодаря методу аналогии может не использовать булевых преобразований и допускает проектирование матриц с неограниченным числом переменных, что значительно сокращает интеллектуальные затраты и сроки конструирования.

Таким образом, проектирование блоков микропроцессорных средств возможно с позиций временных диаграмм, структурных формул, таблиц истинности с конструированием в итоге электронных схем на уровне структурной, функциональной или принципиальной схем. Использование метода аналогии при анализе и синтезе программируемых логических матриц предполагает приоритетное развитие и применение матричных схем в отличие от комбинаторных элементов. Многообразие форм представления функций позволяет говорить о единстве аппаратных, программных и математических средств с физическими представлениями, а переход от одной формы к другой по методу аналогии является инженерной методикой, удобной для практического применения.

2.7. ПРОЕКТИРОВАНИЕ РЕЛЕЙНОЙ ЛОГИКИ

Реле являются элементами комбинаторной логики, но при организации их в матрицу к ним применим метод аналогии, позволяющий не только анализировать релейные схемы, но и синтезировать их.

СИНТЕЗ ПО ТАБЛИЦЕ ИСТИННОСТИ

Существует два основных способа синтеза релейной логики по таблице истинности: дизъюнктивный и конъюнктивный. Эти способы аналогичны синтезу структурных формул, но предполагают другие правила и таблицы переходов.

Построение релейной логики по правилам дизъюнкции осуществляют по сумме произведений минтермов, соответствующих логическим единицам в выходном столбце. Матрицу из релейных контактов организуют по таблице входов, причем i -му столбцу сопоставляют i -е реле со своей группой контактов. Считают, что реле подсоединены параллельно к одному источнику питания, а их обмотки коммутируются в цепь питания через i -й ключ, последовательно включенный с i -й катушкой реле. На схеме цепь из катушек реле и ключей часто не показывают, чтобы не загромождать информационную контактную схему. Контакты i -й группы реле объединяют

ЛО	МО	СО	УО
0	\bar{a}_1		p
1	a_1		z

Рис. 2.37. Таблица переходов по дизъюнкции:

ЛО, МО, СО, УО – логическое, матричное, скелетное и условное обозначения, соответственно

няют штриховой линией с указанием на ней позиции реле, соответствующей входной переменной a_i . На релейной матрице различают замыкающие (z) и размыкающие (p) контакты в соответствии с таблицей переходов (рис. 2.37). Инверсный терм a_i с логическим нулем сопоставляют с размыкающими контактами, а прямой терм a_i с логической единицей ставят в соответствие замыкающему контакту. Строки контактов соединяют параллельно между собой и с цепью управления. Для наглядности будем изображать источник питания и объект управления в виде батарейки и резистора, соответственно.

Пример. Приведем синтез релейной схемы по дизъюнкции. Пусть задана таблица истинности (рис. 2.38).

1. Построим схему релейной матрицы (рис. 2.39) для минтермов c_0 и c_3 . Она состоит из двух групп контактов по числу входных переменных, а число строк определяется двумя единичными минтермами.

2. В соответствии с таблицей переходов (см. рис. 2.37) обозначим на матрице замыкающие и размыкающие контакты для минтермов: $\bar{a}\bar{b} = c_0 \rightarrow \{p; p\}$, для $ab = c_3 \rightarrow \{z; z\}$. Результат построения приведен на рис. 2.40.

a	b	c
0	0	1
1	0	0
0	1	0
1	1	1

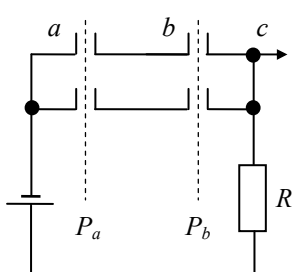


Рис. 2.39. Скелетная схема релейной матрицы

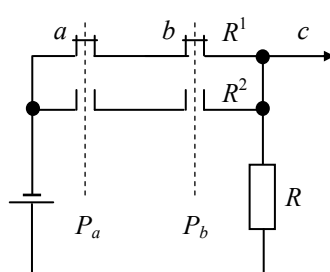


Рис. 2.40. Схема элемента сравнения на релейной логике

Рис. 2.38. Таблица истинности

ЛО	МО	СО	УО
0	a_1		z
1	\bar{a}_1		p

Рис. 2.41. Таблица переходов по конъюнкции:

ЛО, МО, СО, УО – логическое, матричное, скелетное и условное обозначения, соответственно

Конструирование релейной логики по конъюнкции проводят по произведению сумм макстермов, соответствующих логическим нулям в выходном столбце. Матрицу из релейных контактов организуют по таблице входов посредством ее транспонирования. При этом i -й столбец сопоставляется с i -м реле со своей группой контактов, причем группу контактов располагают для i -го реле в строку; катушки реле располагают в столбец на уровне своей группы контактов. Контактные группы строк релейной матрицы адресуют в соответствии со столбцом a таблицы истинности. На релейной матрице отмечают размыкающие и замыкающие контакты в соответствии с таблицей переходов (рис. 2.41). Прямому терму a_i с логическим нулем сопоставляют замыкающий контакт, а инверсному терму \bar{a}_i с логической единицей ставят в соответствие размыкающий контакт. Строки контактов соединяют параллельно между собой и с цепью управления, а i -е позиции контактов объединяют

между собой.

Пример. Приведем синтез релейной схемы по конъюнкции на примере той же таблицы истинности (см. рис. 2.38).

1. Построим скелет транспонированной релейной матрицы (рис. 2.42) для макстермов c_1 и c_2 . Она состоит из двух групп контактов $\{a; b\}$, расположенных по строкам в соответствии с числом входных переменных, заданных столбцами. Число столбцов матрицы определяется двумя нулевыми макстермами таблицы.

2. Обозначим на матрице замыкающие и размыкающие контакты для макстермов

$$c_1 = (\bar{a} + b) \rightarrow \{p; z\}; c_2 = (a + \bar{b}) \rightarrow \{z; p\}$$

в соответствии с таблицей переходов

(см. рис. 2.41). Решение задачи приведено на рис. 2.42.

АНАЛИЗ РЕЛЕЙНОЙ СХЕМЫ МЕТОДОМ ДЕЛИТЕЛЯ НАПРЯЖЕНИЯ

В процессе анализа конъюнктивных и дизъюнктивных релейных схем учитывают наличие транспортирования или его отсутствие. Это влияет на переключение контактов одной группы реле по строкам (для конъюнкции) или по столбцам (для дизъюнкции). Алгоритм анализа идентичен как для первой, так и для второй формы. Алгоритм анализа включает следующие этапы.

1. Строят таблицу истинности с числом входов $\{a_i\}$ и выходов $\{c_j\}$ в соответствии с числом реле P_{ai} с контактными группами a_i и цепей управления c_j .
2. Задают соответствующую таблице истинности логическую комбинацию и методом делителя выявляют прохождение сигнала на выход схемы. При наличии физического потенциала E регистрируют логическую единицу, а при нулевом потенциале $0[\phi]$ ставят в соответствие логический нуль при анализе в положительной логике.
3. По заполненной таблице истинности судят о функции, реализуемой релейной схемой.

Пример. Проведем анализ (построение таблицы истинности) для схемы, представленной на рис. 2.40.

1. Построим скелет таблицы истинности (см. рис. 2.18) с набором входных комбинаций $\{a; b\}$ для двух реле P_a, P_b с группами релейных контактов, упорядоченных по столбцам.

2. Рассмотрим комбинацию $\{a; b\} = \{0; 0\}_л$, соответствующую выключенным состояниям реле $\{P_a; P_b\} = \{0; 0\}_\phi$, т.е. следующему положению контактов

$$\begin{Bmatrix} p; p \\ z; z \end{Bmatrix}.$$

Этому положению отвечает матрица сопротивлений

$$\begin{Bmatrix} 0; 0 \\ \infty; \infty \end{Bmatrix} \rightarrow \begin{Bmatrix} r_1 \\ r_2 \end{Bmatrix} \rightarrow \begin{Bmatrix} 0 \\ \infty \end{Bmatrix} \rightarrow \{0\}.$$

Учитывая, что

$$r = \frac{r_1 r_2}{r_1 + r_2} = \frac{r_1}{r_1 / r_2 + 1} \rightarrow 0,$$

находим

$$\lim_{\{0;0\}} U_c = \lim_{R_1 \rightarrow 0} \frac{ER}{R + r_1} = E(\phi) \rightarrow 1(л).$$

Проанализируем комбинацию $\{1; 0\}$, при которой состояние реле $\{P_a; P_b\} = \{1; 0\}_л = \{E; 0\}_\phi$, т.е. реле P_a замкнуто, а P_b разомкнуто. Это соответствует протеканию тока через реле P_a , т.е. $\{E; 0\}_\phi \rightarrow \{1; 0\}_л$, или переключению группы контактов реле P_a , т.е.

$$\begin{Bmatrix} O_k; P \\ Z_k; z \end{Bmatrix},$$

где O_k – разомкнутые; Z_k – замкнутые контакты a_{ij} в процессе переключения. Матрица сопротивлений примет вид

$$\begin{Bmatrix} \infty; 0 \\ 0; \infty \end{Bmatrix} \rightarrow \begin{Bmatrix} \infty \\ \infty \end{Bmatrix},$$

так как $r_1 = r_a + r_b = \infty + 0 = \infty$; $r_2 = r_a + r_b = 0 + \infty = \infty$.

Очевидно, что $r_i \rightarrow \infty$, тогда

$$\lim_{\{1;0\}} U_c = \lim_{R_1 \rightarrow \infty} \frac{ER}{r_1 + R} = 0_\phi \rightarrow 0_л.$$

После аналогичных рассуждений для оставшихся комбинаций приходим к таблице, приведенной на рис. 2.28.

3. Из таблицы (рис. 2.28) следует, что $c = c_0 + c_3 = \bar{a}\bar{b} + ab$, т.е. анализ и синтез соответствуют исходным предпосылкам, заданным таблицей, приведенной на рис. 2.38.

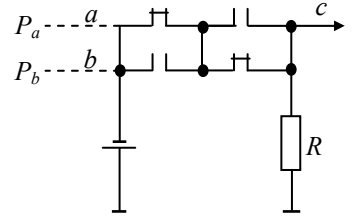


Рис. 2.42. Схема элемента сравнения на релейной логике

АНАЛИЗ СХЕМЫ ПО СТРУКТУРНОЙ ФОРМУЛЕ

Структурную формулу строят в соответствии с релейной схемой и с учетом вида формы матрицы и таблиц переходов (см. рис. 2.37 для дизъюнктивной формы и рис. 2.41 для конъюнктивной). В первом случае формируют сумму произведений минтермов, во втором случае строят произведение сумм макстермов.

Рассмотрим схему, приведенную на рис. 2.40. Дизъюнктивный вид формы соответствует таблице переходов (см. рис. 2.37):

$$c = c_1 + c_2; c_1 = \overline{a}\overline{b}; c_2 = ab.$$

После подстановки значений находим: $c = \overline{a}\overline{b} + ab$.

Проведем анализ схемы, представленной на рис. 2.42. В схеме ярко выражен конъюнктивный вид формы, поэтому переход следует проводить по таблице, представленной на рис. 2.41:

$$c = c_1 + c_2; c_1 = (\overline{a} + b); c_2 = (a + \overline{b}).$$

Общий вид структурной формулы

$$c = (\overline{a} + b)(a + \overline{b}).$$

СИНТЕЗ СХЕМ ПО ФОРМУЛАМ

Построение релейных схем по формулам обратного анализу структурных формул в конъюнкции и дизъюнкции и осуществляется по переходам, соответствующим формам (см. рис. 2.41 или рис. 2.37). При этом сумма макстермов заменяется параллельным соединением контактов реле, а произведение ставится в соответствие последовательному соединению.

Например, выражению $(\overline{a} + b)$ соответствует левая часть рис. 2.42; $(a + \overline{b})$ – правая часть рис. 2.42, а произведению скобок – последовательное соединение групп в матрицу.

После преобразований схему приводим к виду, изображенному на рис. 2.42.

ПРОЕКТИРОВАНИЕ ПО ВРЕМЕННОЙ ДИАГРАММЕ

Синтез схем в релейной логике и их анализ подобен проектированию схем по таблице истинности с переходом от логических координат к физическим потенциалам для дизъюнктивной и конъюнктивной форм.

Зная правила перехода между функциями для различных схем на структурном и принципиальном уровнях, несложно осуществлять косвенный или прямой переход из одного базиса в другой. Такой переход необходим при синтезе схем в определенном электронном базисе при наличии прототипа, реализованного на другом базисном уровне. В методе аналогий используются несложные и наглядные мнемонические правила переходов, полученные на основе физических и математических, аппаратных и программных преобразований. Эти правила переходов предполагают функциональное единство различных составляющих микропроцессорных средств приборов.

2.8. ПРОЕКТИРОВАНИЕ СИС

В отличие от интегральных схем малой степени аппаратно-управляемые цифровые преобразователи – СИС – характеризуются на порядок большим числом состояний, а также числом входных и выходных координат. СИС включают пространственные, временные и функциональные преобразователи [15 – 20]. К ним относятся комбинационные схемы (дешифраторы, мультиплексоры, арифметико-логические устройства) и последовательностные преобразователи (счетчики, регистры, запоминающие устройства), проектирование которых осуществляется также по методу аналогии. Однако способы проектирования пространственных и временных функциональных преобразователей, хотя во многом и сходны, имеют некоторые особенности.

Ниже рассмотрено применение метода аналогии на примере дешифратора и мультиплексора, наиболее ярко отражающих сущность двух способов инженерного проектирования СИС, управляемых в пространственных и временных координатах.

КОДЫ

В микропроцессорных приборах осуществляются одновременно различные преобразования информации. В двоичном коде, как наиболее компактном, пересылается и обрабатывается информация. На интерфейсе ввода формируется информация в позиционном коде, а на интерфейсе вывода данные выводятся в семисегментном коде. Способ представления информации по определенным правилам называется кодированием. Система условных предписаний в виде ряда символов называется кодом. Существуют различные формы представления чисел, из них основными являются позиционная и непозиционная системы счисления. Позиционная система счисления является упорядоченной формой представления числа в виде последовательности весовых коэффициентов, расположенных поразрядно. Наиболее распространенным алгоритмом задания числа служит степенной полином

$$N_a = \sum_{i=0}^{n-1} \xi_i a^i,$$

где N_a – код числа по основанию a ; $i = \overline{0, n-1}$ – позиция (номер разряда); $\xi_i = \overline{0, a-1}$ – вес i -й позиции ряда; $a = \overline{1, n}$ – основание числа, равное отношению соседних членов ряда.

Используя позиционный способ представления чисел, можно конструировать разнообразные системы счисления в со-

ответствии с выбранным основанием a . В микропроцессорной технике базисными системами счисления служат коды с основаниями 2, 10, 1, 16 и семисегментный код, так как на их базе формируют специальные коды.

Арабская система счисления использует код N_{10} по десятичному основанию:

$$N_{10} = \sum_{i=0}^{n-1} \xi_i 10^i,$$

где $\xi_i = \overline{0, 9}$.

Например, число 1895 в виде полинома может быть представлено как

$$N_{10} = 1 \cdot 10^3 + 8 \cdot 10^2 + 9 \cdot 10^1 + 5 \cdot 10^0.$$

Из примера следует, что i -му разряду соответствует основание 10 в i -й степени. При записи числа основания полинома опускаются и фиксируются лишь весовые коэффициенты, но каждая позиция умножается на соответствующее основание 10.

Двоичная система счисления наиболее простая и компактная для логических преобразований

$$N_2 = \sum_{i=0}^{n-1} \xi_i 2^i,$$

для $\xi_i = \overline{0, 1}$.

Например, число 95 в виде степенного ряда имеет вид

$$N_2 = 1 \cdot 2^6 + 0 \cdot 2^5 + 1 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0.$$

В двоичном коде число выглядит как $N_2(95) = 1011111$.

Унитарная система счисления содержит в основании единицу

$$N_1 = \sum_{i=0}^{n-1} \xi_i 1^i,$$

где $\xi_i = \overline{0, 1}$.

Например, число 5, может быть представлено в виде ряда

$$N_1 = 1 \cdot 1^5 + 1 \cdot 1^4 + 1 \cdot 1^3 + 1 \cdot 1^2 + 1 \cdot 1^1 + 0 \cdot 1^0,$$

т.е. в коде $N_1(5) = 111110$, или в виде ряда

$$N_1 = 0 \cdot 1^5 + 1 \cdot 1^4 + 1 \cdot 1^3 + 1 \cdot 1^2 + 1 \cdot 1^1 + 1 \cdot 1^0,$$

т.е. в коде 011111 и т.д.

Таким образом, вследствие избыточности унитарной системы счисления натуральные числа в единичном коде имеют множественное представление. Для приведенного числа справедливо $N_1(5) = 101111 = 111011$ и т.д.

Среди множества унитарных систем счисления часто используется единичный позиционный код, представленный основанием в виде натурального ряда

$$N_1 = \sum_{i=0}^{n-1} \xi_i i,$$

где $\xi_i = \overline{0, 1}$.

Например, число 5 представляется рядом

$$N_1 = 1 \cdot 5 + 0 \cdot 4 + 0 \cdot 3 + 0 \cdot 2 + 0 \cdot 1 + 0 \cdot 0,$$

а в единичном позиционном коде $N_1(5) = 100000$. Этот код применяется для адресации i -й позиции, поэтому и назван позиционным единичным.

Фибоначчиева система счисления организована на основании $a(i)$ рекуррентного соотношения и имеет вид [15, 84]

$$N_\Phi = \sum_{i=0}^{n-1} \xi_i a(i),$$

$\xi_i = \overline{0, 1}$, причем $a(i) = a(i-1) + a(i-2)$.

Основание i -й позиции формируется как сумма двух предыдущих оснований, что соответствует последовательности {1; 1; 2; 3; 5; 8; 13 и т.д.}.

Например, число 5 может быть представлено в виде ряда

$$N_\Phi = 0 \cdot 5 + 1 \cdot 3 + 0 \cdot 2 + 1 \cdot 1 + 1 \cdot 1,$$

а число в коде Фибоначчи $N_\Phi(5) = 01011$. Вследствие множественности представлений, определяемых избыточностью кода, возможны комбинации

$$N_\Phi(5) = \{1; 0; 0; 0; 0\} = \{0; 1; 1; 0; 0\}.$$

Представление рекуррентного соотношения в обобщенном виде

$$a(i) = a(i-1) + (i-p-1)$$

позволяет конструировать бесконечное число способов нумерации натуральных чисел, так как $p = \overline{\{0; \infty\}}$, и каждому ряду соответствует p -код Фибоначчи. Интересно отметить, что предельными кодами системы счисления Фибоначчи являются двоичный код (для $p = 0$) и позиционный код (для $p = \infty$). Рассмотренный 1-й код Фибоначчи ($p = 1$) обладает оптимальными метрологическими характеристиками, предполагающими высокую оперативность, надежность и точность в процессе измерительно-вычислительных операций.

Шестнадцатеричная система счисления обладает высокой компактностью и емкостью

$$N_{16} = \sum_{i=0}^{n-1} \xi_i 16^i,$$

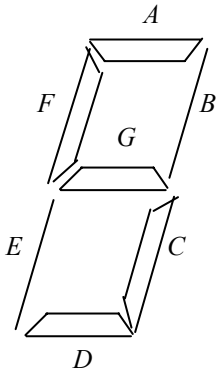
для $\xi_i = \overline{\{0; F\}}$.

В этой системе весовым коэффициентам $\{10; 11; 12; 13; 14; 15\}$ соответствуют буквенные обозначения значения $\{A; B; C; D; E; F\}$.

Например, число 95 в виде степенного ряда отображается как

$$N_{16} = 5 \cdot 16^1 + 15 \cdot 16^0,$$

а соответствующий ему код $N_{16}(95) = 5F$.



Семисегментный код является разновидностью мнемочкодов, представляющих собой графическое отображение символов на мнемосхеме, выполненной на сегментах. На семи сегментах реализуется простейшая мнемосхема (рис. 2.43), которая отображает различные цифры и буквы посредством включения соответствующих комбинаций сегментов. Математическая запись может быть представлена в виде

$$N_7 = \sum_{i=0}^6 \xi_i A^i,$$

где $\xi_i = \overline{\{0; 1\}}$; $A_i \in \{A; B; C; D; E; F; G\}$.

Рис. 2.43. Мнемосхема сегментного элемента

Как правило, сегменты нумеруют по часовой стрелке, начиная с верхнего сегмента $A_0 = A$ и заканчивая центральным $A_6 = G$.

Например, цифра 5 (см. рис. 2.43) может быть представлена последовательностью

$$N_7 = 1 \cdot A + 0 \cdot B + 1 \cdot C + 1 \cdot D + 0 \cdot E + 1 \cdot F + 1 \cdot G,$$

а также прямым кодом $N_7(5) = 1011011$ при соответствии логической единицы включенному сегменту, или инверсным кодом $\bar{N}_7(5) = 0100100$ при условии тождественности логической единицы выключенному сегменту.

Простейшие коды служат основой для более сложных систем счисления, представляющих собой совокупность нескольких базисных кодов. Чаще всего специализированные коды создаются на базисе десятичной системы счисления посредством замены позиции другим простым кодом

$$N_{b/10} = \sum_{i=1}^{n-1} b_i 10^i = \sum_{i=1}^{n-1} \left(\sum_{j=0}^{l-1} \xi_{ij} a^j \right) 10^i,$$

где $b_i = \overline{\{0; 9\}}$; $j = \overline{\{0; l-1\}}$; ξ_{ij} – i -я позиция b_i -го кода.

Двоично-десятичный код основан на арабской и двоичной системах счисления

$$N_{2/10} = \sum_{i=0}^{n-1} \left(\sum_{j=0}^3 \xi_{ij} 2^j \right) 10^i,$$

где $j = \overline{\{0; 3\}}$, так как для представления веса $\overline{\{0; 9\}}$ в двоичном коде достаточно использования четырех двоичных разрядов, называемых тетрадой. Десятичное основание при этом называют декадой.

Например, число 95 можно записать в виде

$$N_{2/10} = (1 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0) \cdot 10^1 + (0 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0) \cdot 10^0,$$

а в коде $N_{2/10}(95) = 1001\ 0101$.

Аналогично формируются другие коды, некоторые из них приведены в табл. 2.1.

В 1-й и 2-й колонках таблицы изображены соответственно десятичный и двоичный коды. Двоично-десятичный код размещен в колонках 3 и 4. В колонках 5 и 6 представлены соответственно старшая и младшая декады в позиционно-десятичном и семисегментном кодах.

По приведенной таблице истинности можно записать структурные формулы и коды чисел.

Например, число $N_{10} = 25$ может быть соответственно представлено:

$$N_2(25) = 011001; N_{2/10}(25) = 0010\ 0101;$$

$$N_{7/10}(25) = 0010000000\ 0100100.$$

Приведенные коды количественно соответствуют:

$$N_2 = 2^4 + 2^3 + 2^0 = 16 + 8 + 1 = 25;$$

$$N_{2/10} = 2^1 \cdot 10^1 + (2^2 + 2^0) \cdot 10 = 2 \cdot 10 + 5 = 25;$$

$$N_{7/10} = 2 \cdot 10^1 + BE = 2 \cdot 10 + 5 = 25.$$

Представление чисел в различных системах счисления позволяет проектировать пространственные, временные и функциональные цифровые преобразователи, осуществлять адресацию блоков в микропроцессорных приборах.

2.1. Таблица кодов

N_{10}		N_2 $2^5\ 2^4\ 2^3\ 2^2\ 2^1\ 2^0$	$N_{2/10}$		$N_{1/10}$	$N_{7/10}$
10^1	10^0		10^1 $2^3\ 2^2\ 2^1\ 2^0$	10^0 $2^3\ 2^2\ 2^1\ 2^0$	10^1 0 1 2 3 4 5 6 7 8 9	10^0 A B C D E F G
0	0	0 0 0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0 0 0 0 0 0	0 0 0 0 0 0 1
0	1	0 0 0 0 0 1	0 0 0 0	0 0 0 1	1 0 0 0 0 0 0 0 0	1 0 0 1 1 1 1
0	2	0 0 0 0 1 0	0 0 0 0	0 0 1 0	1 0 0 0 0 0 0 0 0	0 0 1 0 0 1 0
0	3	0 0 0 0 1 1	0 0 0 0	0 0 1 1	1 0 0 0 0 0 0 0 0	0 0 0 0 1 1 0
0	4	0 0 0 1 0 0	0 0 0 0	0 1 0 0	1 0 0 0 0 0 0 0 0	1 0 0 1 1 0 0
0	5	0 0 0 1 0 1	0 0 0 0	0 1 0 1	1 0 0 0 0 0 0 0 0	0 1 0 0 1 0 0
0	6	0 0 0 1 1 0	0 0 0 0	0 1 1 0	1 0 0 0 0 0 0 0 0	0 1 0 0 0 0 0
0	7	0 0 0 1 1 1	0 0 0 0	0 1 1 1	1 0 0 0 0 0 0 0 0	0 0 0 1 1 1 1
0	8	0 0 1 0 0 0	0 0 0 0	1 0 0 0	1 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0
0	9	0 0 1 0 0 1	0 0 0 0	1 0 0 1	1 0 0 0 0 0 0 0 0	0 0 0 0 1 0 0
1	0	0 0 1 0 1 0	0 0 0 1	0 0 0 0	0 1 0 0 0 0 0 0 0	0 0 0 0 0 0 1
1	1	0 0 1 0 1 1	0 0 0 1	0 0 0 1	0 1 0 0 0 0 0 0 0	1 0 0 1 1 1 1
1	2	0 0 1 1 0 0	0 0 0 1	0 0 1 0	0 1 0 0 0 0 0 0 0	0 0 1 0 0 1 0
1	3	0 0 1 1 0 1	0 0 0 1	0 0 1 1	0 1 0 0 0 0 0 0 0	0 0 0 0 1 1 0
1	4	0 0 1 1 1 0	0 0 0 1	0 1 0 0	0 1 0 0 0 0 0 0 0	1 0 0 1 1 0 0
1	5	0 0 1 1 1 1	0 0 0 1	0 1 0 1	0 1 0 0 0 0 0 0 0	0 1 0 0 1 0 0
1	6	0 1 0 0 0 0	0 0 0 1	0 1 1 0	0 1 0 0 0 0 0 0 0	0 1 0 0 0 0 0
1	7	0 1 0 0 0 1	0 0 0 1	0 1 1 1	0 1 0 0 0 0 0 0 0	0 0 0 1 1 1 1
1	8	0 1 0 0 1 0	0 0 0 1	1 0 0 0	0 1 0 0 0 0 0 0 0	0 0 0 0 0 0 0
1	9	0 1 0 0 1 1	0 0 0 1	1 0 0 1	0 1 0 0 0 0 0 0 0	0 0 0 0 1 0 0
2	0	0 1 0 1 0 0	0 0 1 0	0 0 0 0	0 0 1 0 0 0 0 0 0	0 0 0 0 0 0 1
2	1	0 1 0 1 0 1	0 0 1 0	0 0 0 1	0 0 1 0 0 0 0 0 0	1 0 0 1 1 1 1
2	2	0 1 0 1 1 0	0 0 1 0	0 0 1 0	0 0 1 0 0 0 0 0 0	0 0 1 0 0 1 0
2	3	0 1 0 1 1 1	0 0 1 0	0 0 1 1	0 0 1 0 0 0 0 0 0	0 0 0 0 1 1 0
2	4	0 1 1 0 0 0	0 0 1 0	0 1 0 0	0 0 1 0 0 0 0 0 0	1 0 0 1 1 0 0
2	5	0 1 1 0 0 1	0 0 1 0	0 1 0 1	0 0 1 0 0 0 0 0 0	0 1 0 0 1 0 0
2	6	0 1 1 0 1 0	0 0 1 0	0 1 1 0	0 0 1 0 0 0 0 0 0	0 1 0 0 0 0 0
2	7	0 1 1 0 1 1	0 0 1 0	0 1 1 1	0 0 1 0 0 0 0 0 0	0 0 0 1 1 1 1
2	8	0 1 1 1 0 0	0 0 1 0	1 0 0 0	0 0 1 0 0 0 0 0 0	0 0 0 0 0 0 0
2	9	0 1 1 1 0 1	0 0 1 0	1 0 0 1	0 0 1 0 0 0 0 0 0	0 0 0 0 1 0 0
3	0	0 1 1 1 1 0	0 0 1 1	0 0 0 0	0 0 0 1 0 0 0 0 0	0 0 0 0 0 0 1
3	1	0 1 1 1 1 1	0 0 1 1	0 0 0 1	0 0 0 1 0 0 0 0 0	1 0 0 1 1 1 1
3	2	1 0 0 0 0 0	0 0 1 1	0 0 1 0	0 0 0 1 0 0 0 0 0	0 0 1 0 0 1 0
3	3	1 0 0 0 0 1	0 0 1 1	0 0 1 1	0 0 0 1 0 0 0 0 0	0 0 0 0 1 1 0

ПРОЕКТИРОВАНИЕ ДЕШИФРАТОРА

При проектировании дешифратора определяющим фактором, как правило, является код, от которого зависят параметры входных и выходных переменных, а также схема устройства.

Рассмотрим пример проектирования дешифратора, преобразующего двоичный код N_2 в позиционный семисегментный десятичный код $N_{7/10}$ для чисел 0–33. Число входов n дешифратора определяется из соотношения преобразуемого максимального числа $N_2(33)$ и двоичного кода N_2

$$N_2(33) \leq N_2 = \sum_{i=0}^{n-1} \xi_i 2^i.$$

Неизвестные n из этого неравенства можно найти методом подбора по таблице истинности или решением неравенства $n \geq 1 + [\log_2 N_2(33)]$.

В этом неравенстве выражение в квадратных скобках представляет собой целую часть от числа $N_2(33)$, т.е. $[\log_2 33] = 5$, так как $\log_2 33 = 5,0444$. Для рассматриваемого примера $n \geq 1 + 5 = 6$, что удовлетворяет требованию $33 \leq 2^6 = 64$. Таким образом, число входов выбираем $n = 6$. Аналогично находим число выходов

$$N(33) \leq N_{1/10} + N_{7/10},$$

т.е. $l = 11$.

Этот же результат можно получить, если учесть, что в семисегментном коде, отображающем младшую декаду, $l_0 = 7$, а в позиционном коде старшей декады $l_1 = 4$, в итоге $l = l_0 + l_1$. Из этого следует, что число выходов дешифратора $l = 11$. Структурная схема имеет вид, представленный на рис. 2.44, а таблица истинности (табл. 2.2) содержит шесть входных столбцов и 11 выходных. Пользуясь мнемоническим правилом перехода от таблицы истинности к матрице, синтезируем матричную схему дешифратора (рис. 2.45).

Предварительно подготовим скелетную матрицу на шесть входов и 11 выходов с 34 столбцами по числу комбинаций таблицы.

2.2. Таблица истинности дешифратора

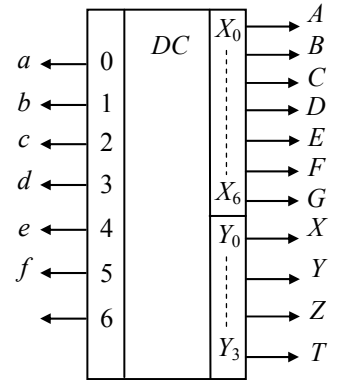


Рис. 2.44. Структурная схема дешифратора

Число	$2^0 2^1 2^2 2^3 2^4 2^5$						$Y_0 Y_1 Y_2 Y_3$				$X_0 X_1 X_2 X_3 X_4 X_5 X_6$					
	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>X</i>	<i>Y</i>	<i>Z</i>	<i>T</i>	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>F</i>
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1
1	1	0	0	0	0	0	1	0	0	0	1	0	0	1	1	1
2	0	1	0	0	0	0	1	0	0	0	0	1	0	0	1	0
3	1	1	0	0	0	0	1	0	0	0	0	0	0	1	1	0
4	0	0	1	0	0	0	1	0	0	0	1	0	0	1	1	0
5	1	0	1	0	0	0	1	0	0	0	0	1	0	0	1	0
6	0	1	1	0	0	0	1	0	0	0	0	1	0	0	0	0
7	1	1	1	0	0	0	1	0	0	0	0	0	1	1	1	1
8	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	1	0	0	0	0	0	0	1	0	0
10	0	1	0	1	0	0	0	1	0	0	0	0	0	0	0	1
11	1	1	0	1	0	0	0	1	0	0	1	0	0	1	1	1
12	0	0	1	1	0	0	0	1	0	0	0	1	0	0	1	0
13	1	0	1	1	0	0	0	1	0	0	0	0	0	1	1	0
14	0	1	1	1	0	0	0	1	0	0	1	0	0	1	1	0
15	1	1	1	1	0	0	0	1	0	0	0	1	0	0	1	0
16	0	0	0	0	1	0	0	1	0	0	0	1	0	0	0	0
17	1	0	0	0	1	0	0	1	0	0	0	0	1	1	1	1
18	0	1	0	0	1	0	0	1	0	0	0	0	0	0	0	0
19	1	1	0	0	1	0	0	1	0	0	0	0	0	1	0	0
20	0	0	1	0	1	0	0	0	1	0	0	0	0	0	0	1
21	1	0	1	0	1	0	0	0	1	0	1	0	0	1	1	1
22	0	1	1	0	1	0	0	0	1	0	0	1	0	0	1	0
23	1	1	1	0	1	0	0	0	1	0	0	0	0	1	1	0
24	0	0	0	1	1	0	0	0	1	0	1	0	0	1	1	0
25	1	0	0	1	1	0	0	0	1	0	0	1	0	0	1	0
26	0	1	0	1	1	0	0	0	1	0	0	0	0	0	0	0
27	1	1	0	1	1	0	0	0	1	0	0	1	1	1	1	1

28	0 0 1 1 1 0	0 0 1 0	0 0 0 0 0 0 0
29	1 0 1 1 1 0	0 0 1 0	0 0 0 0 1 0 0
30	0 1 1 1 1 0	0 0 0 1	0 0 0 0 0 0 1
31	1 1 1 1 1 0	0 0 0 1	1 0 0 1 1 1 1
32	0 0 0 0 0 1	0 0 0 1	0 0 1 0 0 1 0
33	1 0 0 0 0 1	0 0 0 1	0 0 0 0 1 1 0

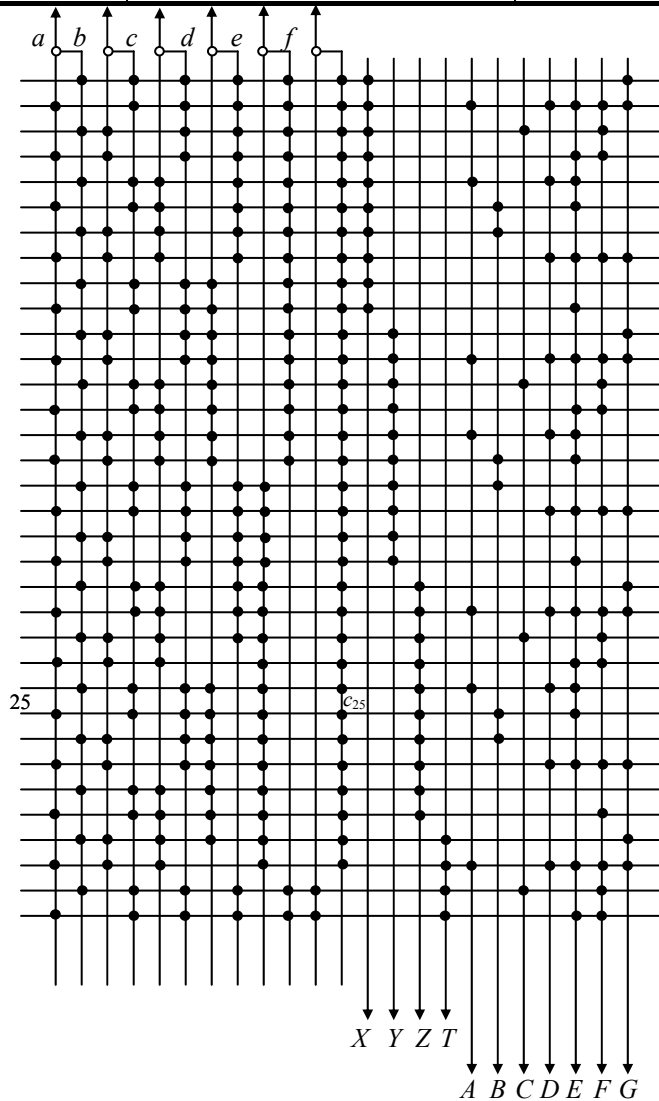


Рис. 2.45. Принципиальная схема дешифратора в матричной форме

Повернем таблицу на 90° вокруг координаты G_{33} (нижний правый угол). Единичные значения таблицы входов заменим прожигом на матрице И, а на матрице НЕ – И соответственно отметим перемычками инверсные значения входных координат. На матрице ИЛИ зарегистрируем лишь значения координат, содержащих логическую единицу.

Проверку построения проведем по c_{25}

$$c_{25} = \overline{a} \overline{b} \overline{c} \overline{d} \overline{e} \overline{f} = 100110 \rightarrow 1 + 2^3 + 2^4 = 25,$$

что подтверждает правильность решения. Для младшей декады проверим выход G :

$$G = G_0 + G_1 + G_7,$$

причем

$$G_0 = \overline{a} \overline{b} \overline{c} \overline{d} \overline{e} \overline{f};$$

$$G_1 = \overline{a} \overline{b} \overline{c} \overline{d} \overline{e} \overline{f};$$

$$G_7 = \overline{a} \overline{b} \overline{c} \overline{d} \overline{e} \overline{f},$$

что также соответствует минтерму, полученному по таблице истинности (см. табл. 2.2) для того же случая.

Построим структурную формулу для младшей декады проектируемого дешифратора. Учитывая, что логических единиц по выходам меньше, чем логических нулей, будем записывать формулы по методу дизъюнкции. Например, для выхода A

$$A = A_1 + A_4,$$

где

$$A_1 = \overline{a} \overline{b} \overline{c} \overline{d} \overline{e} \overline{f}; \quad A_4 = \overline{a} \overline{b} \overline{c} \overline{d} \overline{e} \overline{f}.$$

Инверсным термам соответствуют в строках логические нули, а логические единицы заменяют прямым термом. Ниже приведена система уравнений для выходов $\{A; G\}$, а также минимизированное значение для выхода X .

Проверку формул

$$\begin{aligned} A &= A_1 + A_4 = \bar{a}\bar{b}\bar{c}\bar{d}\bar{e}\bar{f} + \bar{a}b\bar{c}\bar{d}\bar{e}\bar{f}; \\ B &= B_5 + B_6 = \bar{a}\bar{b}\bar{c}\bar{d}\bar{e}f + \bar{a}b\bar{c}\bar{d}\bar{e}f; \quad C = C_2 = \bar{a}\bar{b}\bar{c}\bar{d}\bar{e}\bar{f}; \\ D &= D_1 + D_4 + D_7 = \bar{a}\bar{b}\bar{c}\bar{d}\bar{e}\bar{f} + \bar{a}b\bar{c}\bar{d}\bar{e}\bar{f} + \bar{a}b\bar{c}\bar{d}e\bar{f}; \\ E &= E_1 + E_3 + E_4 + E_5 + E_9 + E_7 = \bar{a}\bar{b}\bar{c}\bar{d}\bar{e}\bar{f} + \bar{a}b\bar{c}\bar{d}\bar{e}\bar{f} + \bar{a}b\bar{c}\bar{d}e\bar{f} + \\ &\quad + \bar{a}\bar{b}\bar{c}\bar{d}e\bar{f} + \bar{a}b\bar{c}d\bar{e}\bar{f} + \bar{a}b\bar{c}d\bar{e}f; \\ F &= F_1 + F_2 + F_3 + F_7 = \bar{a}\bar{b}\bar{c}\bar{d}\bar{e}\bar{f} + \bar{a}b\bar{c}\bar{d}\bar{e}\bar{f} + \bar{a}b\bar{c}\bar{d}e\bar{f} + \bar{a}b\bar{c}\bar{d}e\bar{f}; \\ G &= G_0 + G_1 + G_7 = \bar{a}\bar{b}\bar{c}\bar{d}\bar{e}\bar{f} + \bar{a}\bar{b}\bar{c}\bar{d}e\bar{f} + \bar{a}b\bar{c}\bar{d}\bar{e}\bar{f}; \\ X &= \bar{d}\bar{e}\bar{f} + \bar{b}\bar{c}\bar{d}\bar{e}\bar{f} \end{aligned}$$

можно провести по методу конъюнкции или построением таблицы истинности. Таблица истинности строится подстановкой комбинаций для входных переменных в полученные выражения. Так,

$$A = A_1 = 1 \cdot \bar{0} \cdot \bar{0} \cdot \bar{0} \cdot \bar{0} \cdot \bar{0} = 1;$$

$$A = A_4 = \bar{0} \cdot \bar{0} \cdot 1 \cdot \bar{0} \cdot \bar{0} \cdot \bar{0} = 1,$$

а для других комбинаций младшей декады $A = 0$, например,

$$A = A_6 = 0 \cdot \bar{1} \cdot \bar{1} \cdot \bar{0} \cdot \bar{0} \cdot \bar{0} + 0 \cdot \bar{1} \cdot 1 \cdot \bar{0} \cdot \bar{0} \cdot \bar{0}.$$

Для подтверждения правильности решения в выражениях для $A = A_1 + A_4$ минтермы заменяют проверяемым кодом комбинации. Как видно, комбинация A_6 приводит выражение для A к нулю, так как в каждом члене суммы один из сомножителей равен нулю.

По структурным формулам, используя правило аналогии, сконструируем младшую декаду дешифратора в комбинаторной логике. Правило перехода заключается в замене сомножителей логическим конъюнктом (элементом И), а слагаемых – дизъюнктом (элементом ИЛИ); при этом инверсные термы на схеме обозначаются логическими инверторами в виде кружков на соответствующих входах. Из анализа структурных формул следует, что выходные функции конструируются из 10 одинаковых минтермов в различных комбинациях. Это позволяет синтезировать схему на двух уровнях. Первый уровень организуют на элементах И с соответствующими инверторами для чисел $\bar{0}, \bar{9}$ по 10 минтермам (рис. 2.46), которые объединяются элементами ИЛИ на втором уровне по структурным формулам.

Например, выход A состоит из двух членов суммы A_1 и A_4 , поэтому логический дизъюнктом для этого выхода выбран двухвходовым.

Каждый член суммы включает произведение из шести сомножителей, и необходимо выбрать элементы И с шестью входами. Так как первый и четвертый члены A содержат прямые значения a и c соответственно у первого и четвертого конъюнкторов, то, кроме этих входов, остальные входы используют инверторы.

Проверим реализацию схемы на примере выхода X

$$X = p + q,$$

так как элемент ИЛИ двухвходовый.

Поскольку 10-й элемент И содержит пять входов, из которых только вход d прямой, а 11-й конъюнктом – трехвходовый с инверсиями, можно записать:

$$p = \bar{b}\bar{c}\bar{d}\bar{e}\bar{f}; \quad q = \bar{d}\bar{e}\bar{f}.$$

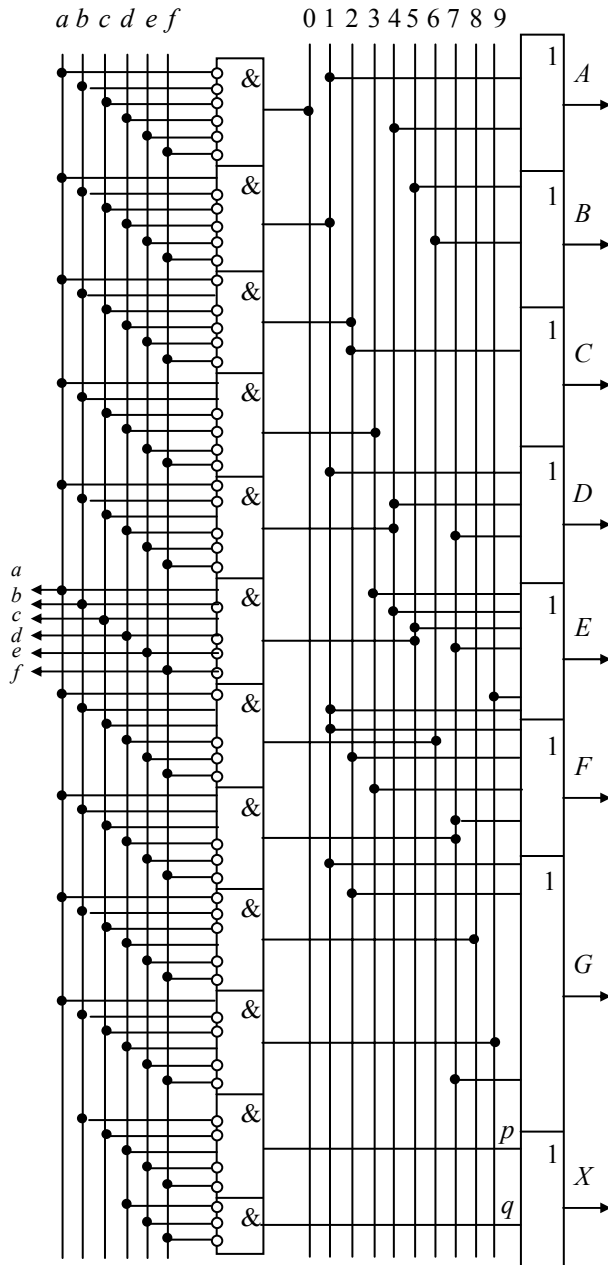


Рис. 2.46. Структурная схема дешифратора в комбинаторной логике

В итоге находим

$$X = \bar{b} \bar{c} \bar{d} \bar{e} \bar{f} + \bar{d} \bar{e} \bar{f},$$

что согласуется с выражениями, представленными выше.

По таблице истинности или структурной формуле несложно синтезировать дешифратор в релейной логике. Используя правило аналогии, для единичных минтермов таблицы (см. табл. 2.2) истинности строим релейные схемы (рис. 2.47). При использовании дизъюнктивной формы инверсные термы заменяются размыкающими контактами, а прямые термы – замыкающими контактами соответствующих реле. Минтерму сопоставляем последовательное соединение группы контактов различных реле. Группа контактов i -го реле организуется i -м столбцом. Например, для выхода X младшей декады, согласно структурной формуле, получаем параллельное соединение двух групп контактов (рис. 2.47, з). Первая строка содержит контакты всех реле, кроме реле P_a , причем все контакты размыкающие, а контакт d замыкающий, так как в структурной формуле для X только вход d прямой. Вторая строка состоит из последовательного включения размыкающих контактов d, e, f , поскольку минтерм составлен из инверсных значений.

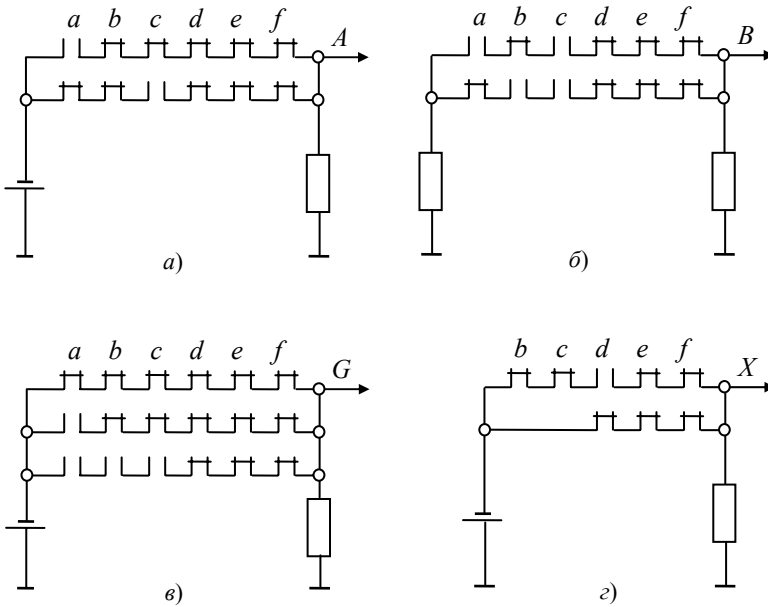


Рис. 2.47. Фрагменты схемы дешифратора в релейной логике:

a – г – соответственно для выходов *A, B, G, X*

Проанализируем работу схемы методом делителя напряжения на примере комбинации $X_7 = \{1; 1; 1; 0; 0; 0\}$, которая соответствует переключению реле P_a, P_b, P_c , в то время, как другие реле находятся в исходном состоянии. При этом контакты $\{b; c\}$ первой строки разомкнутся, а сопротивление r_1 первой строки окажется равным ∞ вследствие разомкнутых контактов $\{b; c; d\}$. Однако сопротивление r_2 второй строки нулевое, так как контакты $\{d; e; f\}$ в его цепи замкнуты. Очевидно, что сопротивление строк r_c также стремится к нулю, поскольку r_1 и r_2 соединены параллельно. Подставляя найденные значения в предельное выражение делителя напряжения, находим

$$\lim_{\{X_7\}} U_X = \lim_{\substack{r_1 \rightarrow \infty \\ r_2 \rightarrow 0}} \frac{ER}{R+r} = E_\phi \rightarrow 1_n .$$

Как следует из анализа, выбранной комбинации X_7 на выходе X соответствует логическая единица, что подтверждается и таблицей истинности. Аналогичные построения возможны и для других выходов (на рис. 2.47, *a – в* приведены решения для выходов A, B, G). Читателю предлагается самостоятельно провести анализ этих технических решений и синтезировать в релейной логике схемы для выходов C, D, E, F .

Для анализа функционирования дешифратора во временных координатах построим по таблице истинности временную диаграмму. На семействе приведем эпюры только значимых координат $\{a; b; c\}$ для младшей декады. По методу аналогии повернем таблицу истинности на 90° . Заменяем логические единицы потенциалом высокого уровня, а логические нули – низким потенциалом. На рис. 2.48 приведено семейство временных диаграмм, поясняющих работу спроектированного дешифратора.

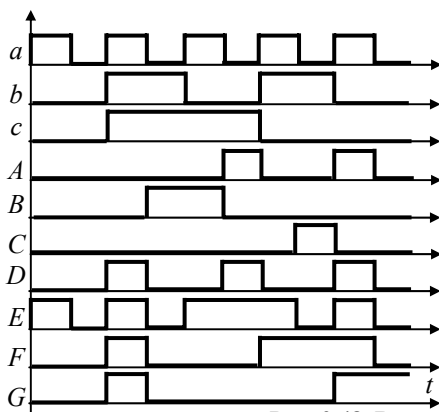


Рис. 2.48. Временные диаграммы дешифратора

Проверим правильность построения временной диаграммы на примере выхода G

$$G = G_0 + G_1 + G_7,$$

где

$$G_0 = \overline{a} \overline{b} \overline{c} \overline{d} \overline{e} \overline{f}; \quad G_1 = a \overline{b} \overline{c} \overline{d} \overline{e} \overline{f}; \\ G_7 = a b \overline{c} \overline{d} \overline{e} \overline{f},$$

что соответствует структурной формуле, приведенной выше.

Таким образом, рассмотрены построения дешифратора на уровне программного и математического обеспечения, организация аппаратных средств в комбинаторной, матричной и релейной логике, а также временные диаграммы, поясняющие их принцип работы.

ТАБЛИЦА МУЛЬТИПЛЕКСОРА

Мультиплексор можно проектировать по таблице истинности дешифратора, называемой полной таблицей. Однако более простым и удобным является создание мультиплексора по векторной таблице истинности, получившей название таблицы мультиплексора.

В табл. 2.3 и 2.4 приведены полная и векторная таблицы мультиплексора, структурная схема которого представлена на рис. 2.49. Покажем тождественность таблицы мультиплексора и полной таблицы истинности.

По правилу дизъюнкции по таблице мультиплексора (см. табл. 2.4) для выходов $\{X; Y\}$ можно записать систему уравнений:

$$\begin{cases} X = A\bar{D} + BD; \\ Y = \bar{B}\bar{D} + \bar{A}D. \end{cases}$$

2.3. Полная таблица истинности мультиплексора

A	B	D	X	Y
0	0	0	0	1
1	0	0	1	1
0	1	0	0	0
1	1	0	1	0
0	0	1	0	1
1	0	1	0	0
0	1	1	1	1
1	1	1	1	0

2.4. Векторная таблица истинности мультиплексора

D	X	Y
0	A	\bar{B}
1	B	\bar{A}

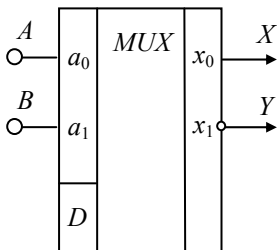


Рис. 2.49. Структурная схема мультиплексора

Из таблицы дешифратора (см. табл. 2.3) на основании правила дизъюнкции следует:

$$\begin{cases} X = X_1 + X_3 + X_6 + X_7; \\ Y = Y_0 + Y_1 + Y_4 + Y_6. \end{cases}$$

Подставляя в эту систему соответствующие минтермы, находим:

$$\begin{cases} X = A\bar{B}\bar{D} + AB\bar{D} + \bar{A}BD + ABD; \\ Y = \bar{A}\bar{B}\bar{D} + A\bar{B}\bar{D} + \bar{A}BD + \bar{A}BD. \end{cases}$$

Группируя произведения почленно и вынося подобные члены за скобки, преобразуем систему к следующему виду:

$$\begin{cases} X = A\bar{D}(\bar{B} + B) + BD(\bar{A} + A); \\ Y = \bar{B}\bar{D}(\bar{A} + A) + \bar{A}D(\bar{B} + B). \end{cases}$$

Принимая во внимание, что $(\bar{A}_i + A_i) = 1$, получаем систему уравнений, идентичную векторной таблице. Следовательно, полная таблица тождественна таблице мультиплексора.

Последняя таблица более компактна и наглядна. Она позволяет определить коммутацию входных каналов A_i относительно каналов X_j в соответствии с адресом, поступающим по входу D_k . Мультиплексор дает возможность коммутировать информацию во времени посредством адресации магистралей.

Мультиплексор, как и дешифратор, может быть реализован по описанной выше методике. Однако векторная таблица позволяет упростить как синтез, так и анализ аппаратных и программных средств, математическое и физическое представление временных преобразователей сигнала.

Существуют различные виды мультиплексоров [16, 20], из которых чаще всего используются кольцевые. Эти мультиплексоры позволяют выполнять последовательную коммутацию входных и выходных магистралей в соответствии с изменением адресных сигналов по линейному закону. Для проектирования кольцевых мультиплексоров их удобно задавать в виде исходной кодовой комбинации, например $\{A; B; C; F\}$, относительно выходных каналов $\{X; Y; Z; T\}$. Исходная комбинация, как правило, соответствует первому адресу, так как нулевому адресу сопоставляется мультиплексор с разомкнутыми каналами. Если для мультиплексора не оговаривается адресный код, то по умолчанию считают, что на шине адреса двоичный код.

ПРОЕКТИРОВАНИЕ МУЛЬТИПЛЕКСОРА

Для проектирования мультиплексора задают таблицу истинности или исходную кодовую комбинацию. Таблица формируется на основании физических процессов, протекающих в микропроцессорных средствах, или задается пользователем.

Предположим, что мультиплексор задан следующей исходной комбинацией $\{A; B; C; F / \bar{A}; \bar{B}; \bar{C}; \bar{F}\}$ с кольцевым изменением коммутации каналов по линейному закону.

В соответствии с заданием построим таблицу истинности мультиплексора (табл. 2.5) для восьми комбинаций. Чтобы задать адресацию, необходимо иметь три адресных входа, так как число входов для двоичного кода $n = 1 + \log_2 8$. Входную таблицу дешифрации D_i строят стандартным образом, начиная с нулевой и заканчивая единичной комбинациями. По младшему разряду D_0 записываем последовательное чередование логических нулей и единиц. В старших позициях запись осуществляем с разрядкой в 2 раза для D_1 и в 4 раза для D_2 .

2.5. Таблица истинности мультиплексора для восьми комбинаций

D_0	D_1	D_2	X	Y	Z	T
0	0	0	0	0	0	0
1	0	0	A	B	C	F
0	1	0	B	C	F	A
1	1	0	C	F	A	B
0	0	1	F	A	B	C
1	0	1	\bar{A}	\bar{B}	\bar{C}	\bar{F}
0	1	1	\bar{B}	\bar{C}	\bar{F}	\bar{A}
1	1	1	\bar{C}	\bar{F}	\bar{A}	\bar{B}

Заполняем мультиплексорную таблицу последовательно сверху вниз, начиная с нулевой комбинации. Первому и пятому адресам зададим по выходам исходные комбинации, а по нулевому адресу зафиксируем логические нули, что соответствует выключенным магистралям. Другие комбинации заполним, используя кольцевой принцип, для чего осуществим структурный сдвиг (например, влево) на один разряд i -й комбинации.

Отметим, что таблица мультиплексора 4×4 компактна и наглядна. Задание подобного мультиплексора на четыре входа и четыре выхода таблицей дешифратора потребовало бы 128 комбинаций, т.е. увеличило бы затраты в 16 раз. Это замечание справедливо для интеллектуальных и материальных, экономических и временных затрат на проектирование мультиплексора.

По таблице истинности (см. табл. 2.5) синтезируем схему мультиплексора в матричной логике, используя мнемоническое правило аналогии. Развернем на 90° таблицу мультиплексора относительно нижнего угла. Построим скелетную матрицу на четыре выхода $\{X; Y; Z; T\}$ (матрица ИЛИ), три адресных входа $\{D_0; D_1; D_2\}$ и четыре информационных входа $\{A; B; C; F\}$ (матрица И / НЕ – И). Как следует из таблицы, каждому адресу соответствует четыре канала A_k / X_j .

Отразим это на скелетной матрице увеличением числа столбцов по i -му адресу в 4 раза. По адресным входам строим таблицу дешифратора посредством замены логической единицы прожигом на матрице И и логическим соединением соответствующей координаты матрицы НЕ – И при наличии логического нуля. Аналогичную замену осуществляем для каждой тетрады столбцов.

Матрицу ИЛИ по выходам X_j программируем циклически, считая, что $j = i = \overline{0, n}$, т.е. i -й столбец тетрады объединяем с j -й строкой матрицы ИЛИ. В последнюю очередь коммутируем входы матрицы; при этом ij -й столбец i -й тетрады соединяем с k -м входом, согласно таблице мультиплексора. Как видно, для первой тетрады столбцов $\{X_1; Y_1; Z_1; T_1\}$ соответствуют коммутации входов $\{A; B; C; F\}$, а по адресу $\{1; 1; 1\}$ (семь), шестая тетрада столбцов $\{X_6; Y_6; Z_6; T_6\}$ объединяет инверсные значения входов C, F, A, B . Прямые соединения осуществляем на матрице И, а инверсные – с помощью матрицы НЕ – И. На практике таким образом программируют ПЗУ и ПЛИМ, а в программируемых мультиплексорах пользователь кодирует лишь конъюнктивные матрицы И, НЕ – И, так как матрицу ИЛИ и дешифратор матриц И / НЕ – И программирует масочным способом завод-изготовитель. В продажу поступают программируемые мультиплексоры со всеми перемычками на входных матрицах, и пользователю представляется право оставить лишь необходимые логические связи, используя для этого программатор.

2.50 Проверку матричного мультиплексора проведем, например, по выходу X . Как следует из схемы, представленной на рис.

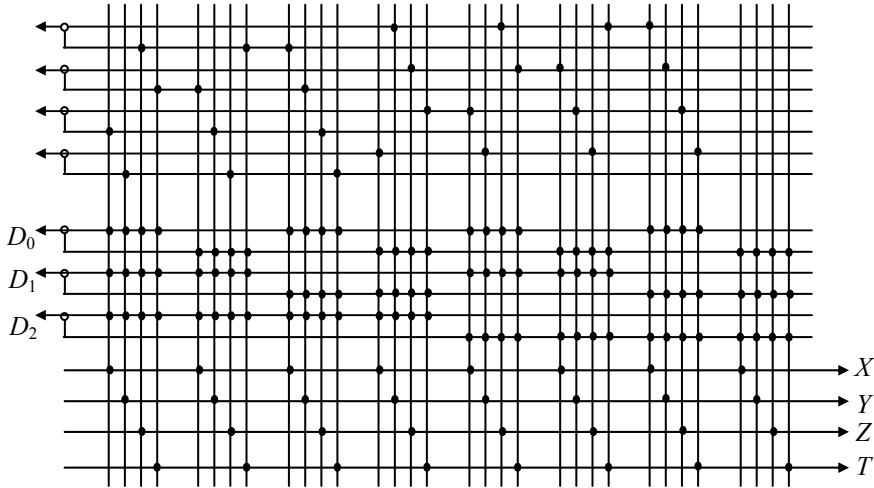


Рис. 2.50. Принципиальная схема мультиплексора в матричной логике

$$X = X_3 + X_7 + X_{11} + X_{15} + X_{19} + X_{23} + X_{27} + X_{31},$$

причем

$$X_3 = 0\bar{D}_0\bar{D}_1\bar{D}_2; \quad X_{19} = F\bar{D}_2\bar{D}_1D_2;$$

$$X_7 = AD_0\bar{D}_1\bar{D}_2; \quad X_{23} = \bar{A}D_0\bar{D}_1D_2;$$

$$X_{11} = B\bar{D}_0D_1\bar{D}_2; \quad X_{27} = \bar{B}\bar{D}_0D_1D_2;$$

$$X_{15} = CD_0D_1\bar{D}_2; \quad X_{31} = \bar{C}D_0D_1D_2,$$

что соответствует структурной формуле проектируемого мультиплексора.

Формулу мультиплексора можно получить по таблице истинности, используя способ дизъюнкции. Например, для выхода X из табл. 2.5 следует:

$$X = X_1 + X_2 + X_3 + X_4 + X_5 + X_6 + X_7,$$

где

$$X_1 = AD_0\bar{D}_1\bar{D}_2; \quad X_4 = F\bar{D}_0\bar{D}_1D_2; \quad X_7 = \bar{C}D_0D_1D_2;$$

$$X_2 = B\bar{D}_0D_1\bar{D}_2; \quad X_5 = \bar{A}D_0\bar{D}_1D_2;$$

$$X_3 = CD_0D_1\bar{D}_2; \quad X_6 = \bar{B}\bar{D}_0D_1D_2.$$

Аналогичным образом можно синтезировать систему уравнений для мультиплексора. Следует отметить, что по таблице мультиплексора нельзя записать структурную формулу по способу конъюнкции. Это определяется отсутствием значимых (информативных) значений в произведении макстермов.

Конструировать мультиплексор в комбинаторной логике наиболее удобно по структурным формулам. Как и для дешифратора, правило перехода от структурной формы к схеме осуществляется посредством замены произведения логическим конъюнктом, сложения – элементом дизъюнкции, а инверсии – инвертором.

На рис. 2.51 приведена схема мультиплексора на элементах комбинаторной логики. Она содержит на первом уровне восемь четырехходовых элементов И, подключенных параллельно к элементу ИЛИ. Это обусловлено наличием восьми слагаемых, которые состоят из четырех сомножителей. Например, канал A/X включает элемент $(2 + 2 \text{ ИЕ})$ И / ИЛИ, так как его адрес $\{D_0; \bar{D}_1; \bar{D}_2\} = \{1; 0; 0\}$, а инверсный канал \bar{A}/X также содержит этот логический элемент, но управляемый по адресу $\{1; 0' 1\}$.

Анализ логического элемента осуществляется обратным переходом по методу аналогии к структурной формуле. Для приведенного примера

$$X = X_1 + X_2 + X_3 + X_4 + X_5 + X_6 + X_7 + X_8,$$

где

$$X_1 = AD_0\bar{D}_1\bar{D}_2; \quad X_5 = \bar{A}D_0\bar{D}_1D_2;$$

$$X_2 = B\bar{D}_0D_1\bar{D}_2; \quad X_6 = \bar{B}\bar{D}_0D_1D_2;$$

$$X_3 = CD_0D_1\bar{D}_2; \quad X_7 = \bar{C}D_0D_1D_2;$$

$$X_4 = F\bar{D}_0\bar{D}_1D_2; X_8 = 0\bar{D}_0\bar{D}_1\bar{D}_2.$$

Сравнение этого выражения с полученным выше показывает их идентичность, что подтверждает правильность проектирования мультиплексора.

Синтез мультиплексора в релейной логике рационально проводить по таблице истинности (см. табл. 2.5). Пользуясь правилом аналогии, заменяют значащие минтермы последовательным соединением группы контактов адресных реле. При этом терму с логическим нулем ставят в соответствие размыкающий контакт, а в противном случае – замыкающий контакт соответствующего реле. Входы строк матриц контактов подключают к A_k -му каналу, указанному в таблице по X_j -му знакоместу. Все выходы последовательных релейных строк объединяют на один выход X последовательно с нагрузкой.

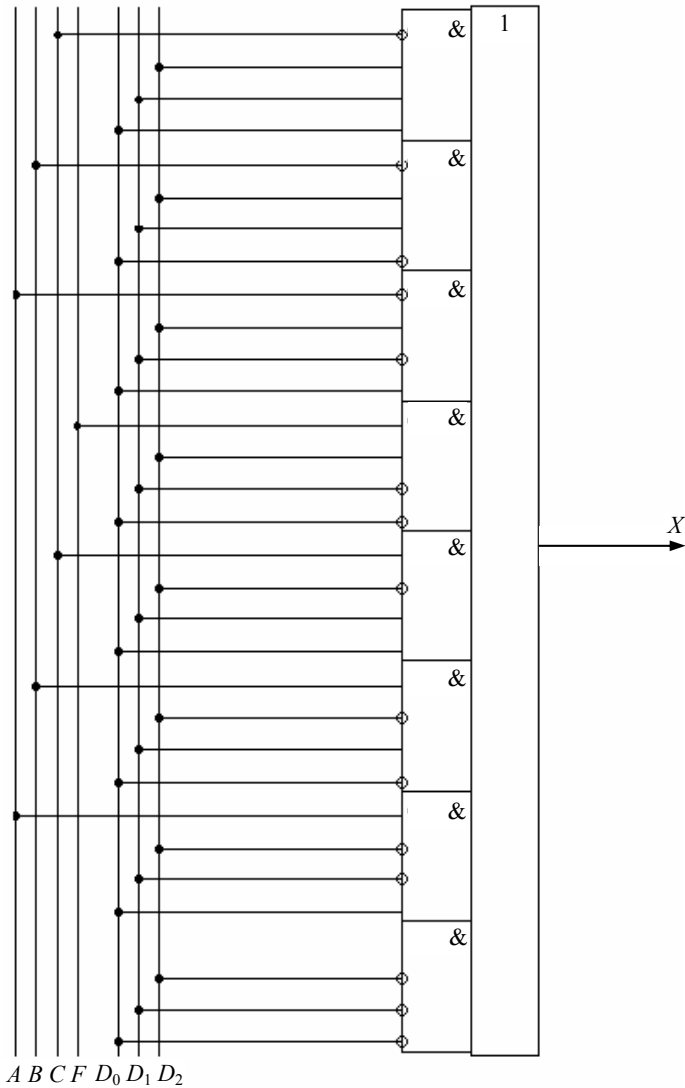


Рис. 2.51. Схема мультиплексора в комбинаторной логике

На рис. 2.52, а, б приведены фрагменты мультиплексора для выходов X и T . Например, первая строка выхода X коммутирует канал A через группу контактов $\{D_0; D_1; D_2\} = \{z; p; p\}$, что соответствует первой позиции с адресом $\{1; 0; 0\}$. Аналогично проектируются другие релейные контакты для коммутации A_k / X соответствующих магистралей.

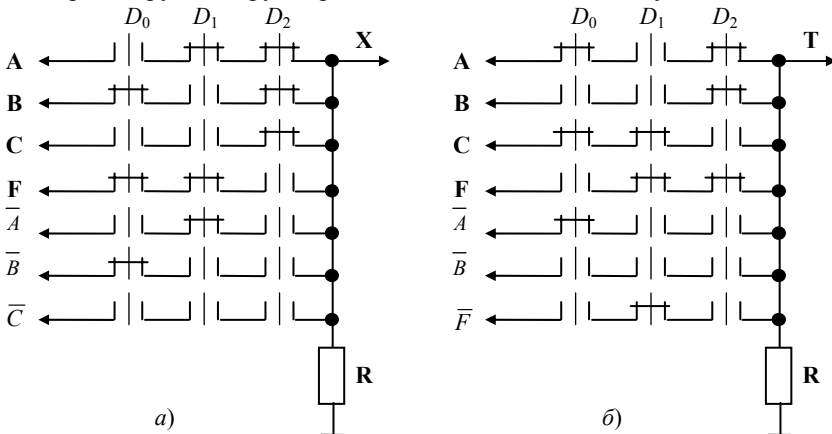


Рис. 2.52. Фрагменты схемы мультиплексора на релейной логике для выходов X (а) и T (б)

Анализ релейной схемы мультиплексора (см. рис. 2.52, б) по выходу T проведем методом делителя напряжения для комбинации $\{1; 0; 1\}$. Логической комбинации $\{1; 0; 1\}_л$ соответствует включение нулевого и второго реле, т.е. $\{I; 0; I\}_ф$. Через их катушки потечет ток I . Это приведет к переключению групп D_0 и D_1 контактов, что соответствует матрице

$Oк$	$з$	$Oк$
$Зк$	$з$	$Oк$
$Oк$	p	$Зк$
$Зк$	p	$Oк$
$Oк$	$з$	$Зк$
$Зк$	$з$	$Зк$
$Зк$	p	$Зк$

Видно, что все строки матрицы, кроме нижней, характеризуются высоким сопротивлением $r_i \rightarrow \infty$, поскольку в каждой из них имеется хотя бы один разомкнутый контакт. Нижняя цепь электрически замкнута, и ее сопротивление $r_{\bar{F}} \rightarrow 0$ минимально. Общее сопротивление матрицы определяется нижней строкой. В предельном выражении можно записать

$$\lim_{\{1;0;1\}} U_T = \lim_{R_0 \rightarrow 1} \frac{E_{\bar{F}} R}{r_{\bar{F}} + R} = E_{\bar{F}\Phi} \rightarrow \bar{F}_л,$$

т.е. на выход T будет скоммутирован вход \bar{F} . Из табл. 2.5 также следует, что при адресе $\{1; 0; 1\}$ на выход T поступает сигнал \bar{F} , т.е. подтверждается правильность технического решения.

Для анализа функционирования мультиплексора построим по таблице истинности (см. табл. 2.5) семейство временных диаграмм. Используя метод аналогии, повернем таблицу истинности на 90° по часовой стрелке вокруг нижнего правого угла, дополним сверху диаграммы входными каналами $\{A; B; C; F\}$.

Начнем построение с адресных входов $\{D_i\}$ посредством замены логической единицы потенциалом высокого уровня и нулевым потенциалом – логического нуля. Разделим штриховыми линиями временную шкалу на восемь состояний в соответствии с текущими адресами. По входам A_k мультиплексора приведем сигналы произвольной формы, например: по входу A – треугольный, по входу B – синусоидальный, по входу C – трапецеидальный с инверсией, а по входу F – линейно нарастающий и линейно убывающий. Выходы заполним по таблице истинности (см. табл. 2.5). Для приведенного примера по каналу A приводим треугольный сигнал, а по каналу F – линейно нарастающий и линейно убывающий (рис. 2.53).

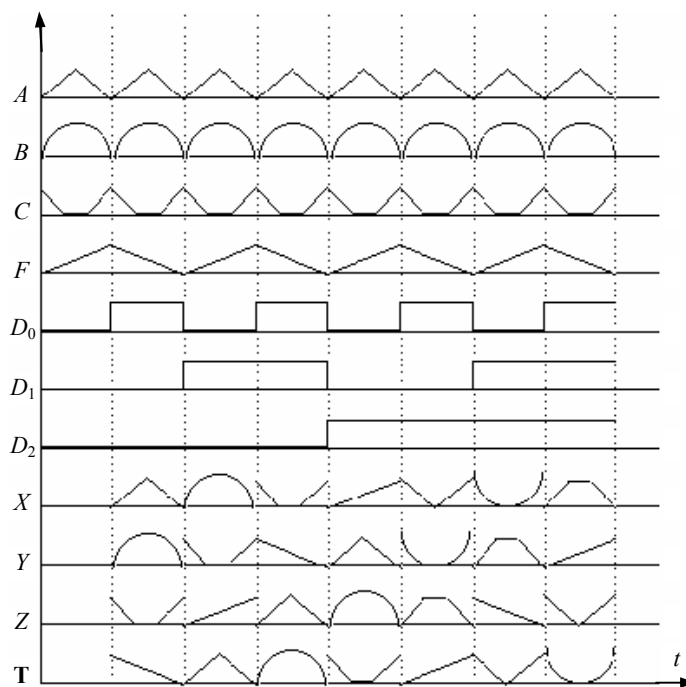


Рис. 2.53. Временные диаграммы мультиплексора

Изображение сигналов произвольной формы повышает наглядность и информативность семейства временных диаграмм мультиплексора.

Проверим правильность построения временной диаграммы по выходу X

$$X = X_1 + X_2 + X_3 + X_4 + X_5 + X_6 + X_7.$$

Заменяем форму сигнала по текущему адресу (состоянию) номером A_k канала, по которому поступает изображенный сигнал, умноженный на адрес:

$$X_1 = AD_0\bar{D}_1\bar{D}_2; \quad X_5 = \bar{A}D_0\bar{D}_1D_2;$$

$$X_2 = B\bar{D}_0D_1\bar{D}_2; \quad X_6 = \bar{B}\bar{D}_0D_1D_2;$$

$$X_3 = CD_0D_1\bar{D}_2; \quad X_7 = \bar{C}\bar{D}_0D_1D_2.$$

$$X_4 = F\bar{D}_0\bar{D}_1D_2.$$

Сравнивая полученные выражения со структурной формулой, полученной выше для этого канала, отмечаем их тождественность, что подтверждает правильность построения временных диаграмм.

Как видно из построения, проектирование мультиплексора несколько отличается от конструирования дешифратора, что связано с применением векторной таблицы мультиплексора. Проектирование мультиплексора более компактно и наглядно, более просто и оперативно.

Таким образом, метод аналогии позволяет проектировать пространственные и временные функциональные цифровые преобразователи сигнала как комбинационного, так и последовательностного типов. В отличие от булевых преобразований метод аналогии прост и удобен, позволяет оперировать с многомерными координатами, универсален и гибок к различным формам представления функций. Проектирование СИС включает два основных способа: дешифраторный и мультиплексорный, целесообразные соответственно для пространственных и временных функциональных преобразователей сигнала. Первый способ уступает второму, который более рационален и экономичен. Примеры реализации СИС по методу аналогии приведены в [16, 20].

Упорядочение интегральных схем, согласно информационной концепции, приводит к созданию микропроцессорных средств и их совершенствованию по гибкости и универсальности. Проследим динамику развития программно-управляемых средств на различных иерархических уровнях от микротренажеров и микроконтроллеров до систем и сетей. Учитывая многогранность микропроцессорных средств, проследим становление архитектуры, математического и метрологического обеспечения. Анализ аппаратных и программных средств проведем на уровне структурных схем, предполагая, что по методу аналогии несложно смоделировать решения на более низких иерархических уровнях.

Архитектура микропроцессорных средств во многом определяется математическим и метрологическим обеспечением. Математическое обеспечение позволяет по физическому процессу смоделировать математическое поле и найти алгоритм определения качественных характеристик состава и свойств веществ. Алгоритм задают в соответствии с системой уравнений, получаемых из математической модели с помощью способов качественного анализа. Алгоритм реализуется архитектурой микропроцессорных средств, а точность и достоверность результатов достигаются метрологическими средствами. К метрологическим средствам относятся алгоритмы измерения и нормировки, управления и регулирования, коррекции и калибровки, поверки и диагностики исследуемых свойств веществ по отношению к эталонным образцам с известными характеристиками.

Для организации микропроцессорных сетей коллективного пользования исследуются способы обмена, хранения и отображения информации. При этом анализируется архитектура как сети, так и интерфейсов ввода-вывода и памяти. Ниже на примере программно-управляемых портов рассмотрены периферийные микропроцессоры и адаптация архитектуры сети к учебному процессу в микрокалькуляторных классах. Но предварительно познакомимся с наиболее простым микропроцессорным средством – микротренажером.

МИКРОТРЕНАЖЕРЫ

Микротренажеры – вспомогательные микропроцессорные средства для индивидуального обучения математическому, программному и аппаратному обеспечению комбинаторных и матричных структур на различном иерархическом уровне. По уровню специализации микротренажеры можно разделить на три группы: логические, функциональные и универсальные.

Логические микротренажеры реализуют цифровые средства на уровне логических преобразований и позволяют конструировать СИС на основе комбинаторных и матричных элементов. Для изучения аппаратно-управляемых преобразователей студенческим конструкторским бюро ТЕМП были разработаны микротренажеры программируемых логических матриц ТЕМП-002, интегральных схем ТЕМП-004 и релейной логики ТЕМП-005.

Функциональные микротренажеры предназначены для изучения функционально законченных блоков микропроцессорных средств. Программно-управляемые цифровые преобразователи конструируются на уровне СИС и БИС. Функциональные микротренажеры служат для наглядного представления принципов работы микропроцессоров и интерфейсов. Для изучения программно-управляемых преобразователей на кафедре "Автоматизированные системы и приборы" (АСП) ТГТУ разработаны микротренажеры интерфейсов ввода-вывода (ИВВ) позиционного типа ТЕМП-003 и матричного типа ТЕМП-013, микропроцессоров К580, К589.

Универсальные микротренажеры являются программно-управляемыми мнемостендами со сменными мнемосхемами и программами к ним. Они предназначены для анализа алгоритмов, программ, состояний и схем объектов и процессов на различных иерархических уровнях в пространственных, временных и функциональных координатах. Универсальные микротренажеры позволяют изучать комбинаторные и матричные схемы на базе релейных, полупроводниковых и интегральных схем малой, средней и большой степени интеграции. Например, для изучения архитектуры микропроцессоров разработаны мнемосхемы и программы число-импульсного микропроцессора К145, кодоимпульсных микропроцессоров с программным (К580) и микропрограммным (К1804) управлением. Студентами разработаны и внедрены в учебный процесс микротренажеры мнемосхем ТЕРМИС-М100, ТЕМП-001 и ТЕМП-011.

ЛОГИЧЕСКИЕ МИКРОТРЕНАЖЕРЫ

Логические микротренажеры предназначены для практических занятий при изучении булевой алгебры и моделирования схем на комбинаторной и матричной логике комбинационного и последовательностного типов.

Микротренажер релейной логики ТЕМП-005 выполнен на 16 электромеханических реле РЭС49, расположенных в виде матрицы 4×4 . Конструктивно корпуса реле закреплены под фальшпанелью корпуса микротренажера, а выводы обмоток катушек и групп контактов соединены с розетками, выведенными на лицевую панель ij -го сектора матрицы. Секторы матриц выполнены в виде прямоугольных аппликаций с графическим отображением обмотки реле и группы контактов. Аппликации размещены в виде матрицы 4×4 , представляющей собой мнемосхему микротренажера. Для повышения наглядности каждый сектор снабжен двумя светодиодами, имитирующими включение катушки реле и переключение группы контактов. Дополнительно каждая строка содержит индикатор-нагрузку в виде светодиода, расположенного с правой стороны. В верхней части мнемосхемы закреплены гнезда контактов с положительным напряжением $+E$, а в нижней части – розетки с отрицательным напряжением. Коммутация логических схем осуществляется проводниками со штекерами на концах. Штекеры и розетки выполнены из контактных разъемов РГШМ. Микротренажер ТЕМП-005 содержит 36 светодиодов, 16 реле с двумя группами контактов (напряжение питания реле 5 В); источник питания 220 В, 50 Гц; габаритные размеры $420 \times 250 \times 120$ мм, масса 4 кг.

Микротренажер интегральных схем ТЕМП-004 реализован на логических элементах малой и средней степеней интеграции серии К133. Корпуса микросхем распаяны на печатном монтаже под фальшпанелью корпуса микротренажера, а вы-

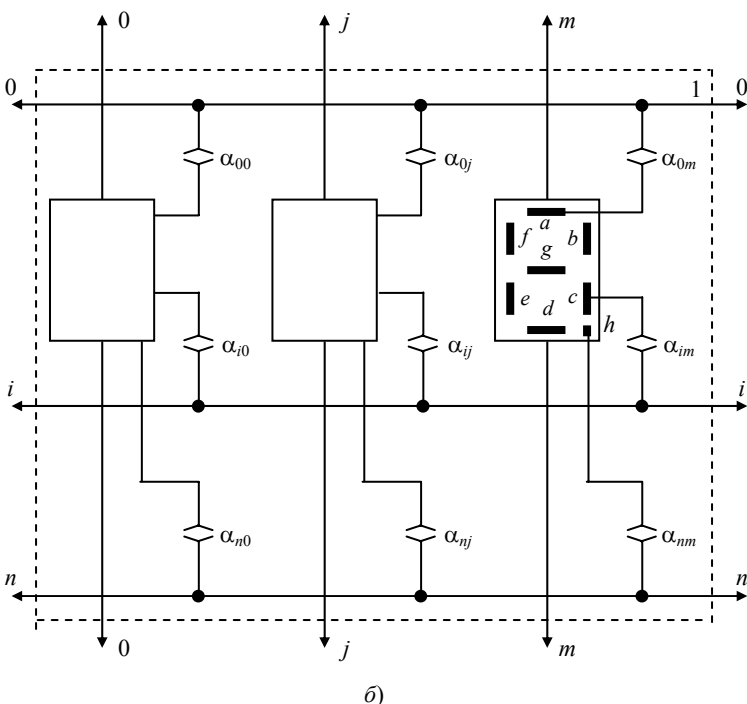
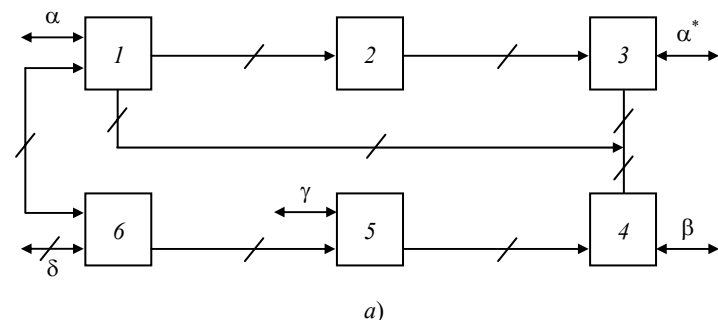
воды ножек соединены с гнездами, расположенными на лицевой панели, закрытой мнемосхемой. На мнемосхеме приведены графические обозначения элементов интегральных схем с индикацией на светодиодах всех входов и выходов. Стенд содержит четыре элемента 2И – НЕ, три элемента 3И – НЕ, два элемента 4И – НЕ, дешифратор N_2 / N_7 и 10 триггеров. Для синхронизации схем использован тактовый генератор с частотой 1 Гц. Управление статическими входами возможно потенциалом логической единицы и нулем. Коды по статическим входам триггеров задаются тумблерами, а коммутация электронных схем осуществляется проводниками со штекерами. Для удобства сборки схем логические элементы размещены на мнемосхеме в два ряда, а третий ряд состоит из триггеров. Выход дешифратора нагружен на семисегментный индикатор. Микротренажер ТЕМП-004 содержит 100 светодиодов, 10 микросхем; стабилизированное питание 5 В от сети 220 В, 50 Гц, габаритные размеры $420 \times 250 \times 120$ мм, масса 2 кг.

Микротренажер ТЕМП-002 представляет собой микротренажер программируемых логических матриц (ПЛИМ), предназначенный для изучения и наглядного представления архитектуры ПЛИМ, обучения программному и аппаратному обеспечению СИС матричной логики комбинационного и последовательностного типов. Микротренажер ТЕМП-002 удобен при изучении булевой алгебры и моделировании схем в матричной логике, незаменим при обучении архитектуре диодных логических матриц, программируемых дешифраторов, логических матриц с программируемым полем, программируемых мультиплексоров. Микротренажер наглядно отображает логическое преобразование кода в пространстве и времени, моделирует основные узлы микропроцессора: арифметико-логическое устройство, цифровой компаратор, запоминающее устройство.

Микротренажер ТЕМП-002 реализует кодоимпульсное преобразование информации по выбранной функции, заданной кодом операции, посредством аппаратного управления двухкоординатной логической матрицей. Входная информация, представленная восьмизрядным двоичным кодом, умножается на векторы кода операции матрицы И / НЕ – И, ИЛИ и регистрируется на выходе в восьмизрядном двухпозиционном семисегментном коде. Состояние каждой ячейки логической матрицы индицируется соответствующим сегментом светодиодной матрицы. При конструировании логических схем комбинационного типа коммутируются штекерами только гнезда логической матрицы, а при организации последовательностных логических схем коммутируются также линии обратной связи, соединяющие четыре старших разряда матрицы умножения.

Микротренажер (рис. 3.1, а) содержит: информационный регистр δ входных переменных; первый матричный индикатор 1, реализующий светодиодную логическую матрицу И; последовательно включенные группы инверторов 2 и второй матричный индикатор 3, составляющие светодиодную логическую матрицу НЕ – И; третий матричный индикатор 4, собранный по схеме светодиодной логической матрицы ИЛИ; информационный регистр 5 выходных данных. Разрядность информационных регистров 5 и 6 определяется числом разрядов соответственно шины строк первого 7 и третьего 4 матричных индикаторов.

Матричный индикатор реализует светодиодную матрицу (рис. 3.1, б) двухкоординатного типа размерностью $m \times n$, где n, m – соответственно разрядность строк и столбцов матрицы. Каждая матрица содержит m знаковых индикаторов по числу



разрядов в столбце. Одноименные сегменты $\{a; h\}$ знаковых индикаторов $\{0; m\}$ соединены с соответствующими разрядами $\{0; n\}$ шины строк матрицы через две группы коммутирующих гнезд a_{ij} , где $\{i\}_0^n$ и $\{j\}_0^m$ – i -я строка, j -й столбец светодиодной матрицы. Светодиоды матрицы организуют на ij -х сегментах знаковых индикаторов $\{0; m\}$, причем сегменты выполняют функции катодов, а подложка индикаторов – функцию анодов светодиодов матричного индикатора.

Второй 3 и третий 4 матричные индикаторы идентичны первому индикатору 1 и соответственно имеют размерность $m \times n$ и $m \times l$ координат. Адресные входы матриц образованы двумя группами коммутирующих гнезд с номерами α_{ij} – для первой 1, α^*_{ij} – для второй 3 и β_{jk} – третьей 4 светодиодных матриц. Адресные входы регистров 5 и 6 в соответствии с индикаторами 1 и 4 обозначены δ , и f_k (см. рис. 3.1, а).

Регистр 5 служит для хранения и вывода результатов с выхода шины строк матричного индикатора 4, а также для коммутации выходных данных на вход микротренажера при организации обратной связи. Обратная связь используется для создания и исследования последовательностных цифровых схем (триггеров, счетчиков, регистров и т.д.). При отсутствии обратной связи микротренажер позволяет изучать и систематизировать комбинационные логические преобразователи (логические элементы, дешифраторы, мультиплексоры и т.п.).

Рис. 3.1. Структурные схемы:

а – микротренажера ТЕМП-002; б – матричного индикатора
Коммутация информации через регистр 5 осуще-

ствляется по адресной шине $\{\gamma_k\}_0^n$ при поступлении нулевого потенциала, в противном случае обратная связь отсутствует. Код управления адресами позиционный. Аналогично управляется регистр b по адресной шине $\{\delta_i\}_0^n$; при этом на его выходе формируется код

$$N = \sum_{i=0}^n \delta_i a_i ,$$

где $\delta_i = \overline{\{0; 1\}}$; $\{a_i\}_0^n = a, b, \dots, i, \dots, n = \overline{\{0; n\}}$.

Коммутация матричных индикаторов $1, 3$ и 4 может быть электронной, электромеханической и механической. В предлагаемом микро-тренажере использована механическая коммутация как наиболее наглядная для развития моторной памяти. Коммутация адресных шин $\{\alpha_{ij}; \alpha_{ij}^*; \beta_{jk}\}$ осуществляется замыканием пары разрядных гнезд с помощью штекеров. В исходном состоянии коммутационные гнезда $\alpha_{ij}, \alpha_{ij}^*, \beta_{jk}$ разомкнуты, поэтому соединения между строками и столбцами матриц $1, 3, 4$ отсутствуют. Так как аноды знаковых индикаторов матриц 1 и 3 подключены через резистор к положительному полюсу источника питания, то на выходах c_j разрядов столбцов присутствуют положительные потенциалы. В матрице 4 строки f_k через резисторы объединены с корпусом, поэтому на выходах шины строк $\{f_k\}_0^n$ поддерживается нулевой потенциал и в разрядах индикатора (на схеме не показан) микротренажера индицируются нули.

Микротренажер позволяет синтезировать матричные схемы в соответствии с алгоритмом работы ПЛИМ (см. [12, с. 150]):

$$f_k = \sum_{j=0}^m \beta_{jk} \prod_{i=1}^n (\alpha_{ij} A_i + \overline{\alpha_{ij}}) (\alpha_{ij}^* \overline{A_j} + \overline{\alpha_{ij}^*}) , \quad (3.1)$$

где $A_i = \delta_i \alpha_i$ – информация в i -м разряде регистра b .

Реализовать схему на микротренажере можно по структурной формуле, временной диаграмме или таблице в соответствии с логической задачей. Как следует из выражения (3.1), можно синтезировать необходимую функцию заданием адреса $\{\alpha_{ij}; \alpha_{ij}^*; \beta_{jk}\}$ в матрицах $1, 3, 4$. Адреса задают с помощью штекеров, замыкая соответствующие гнезда матриц, конструктивно оформленных в виде коммутационных колодок размерностью $m \times n$ для блоков 1 и 3 , а также $l \times m$ для блока 4 .

Обучаемый собирает схему (например, по таблице истинности), замыкая штекеры в соответствии со следующими мнемоническими правилами:

- в матрице И блока 1 штекеры устанавливаются по адресам α_{ij} , соответствующим значениям логической единицы;
- в матрице НЕ – И блоков $2, 3$ штекеры фиксируются по адресам α_{ij}^* со значениями логического нуля;
- в матрице ИЛИ блока 4 штекерами коммутируются адреса β_{jk} , соответствующие лишь значениям логической единицы.

Матрицам И, НЕ – И сопоставляют таблицу входных переменных $\{A_i\}_0^n$, а матрице ИЛИ соответствует таблица выходных значений $\{f_k\}_0^l$.

Рассмотрим программирование микротренажера на примере исключаящего ИЛИ, структурная формула которого имеет вид:

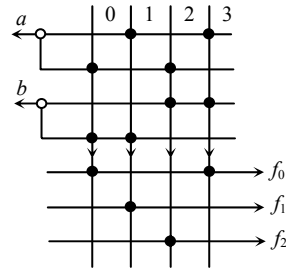
$$\begin{cases} c_{a=b} = \overline{a \oplus b} = \overline{a} \overline{b} + ab ; \\ c_{a>b} = a \overline{b} ; \\ c_{a<b} = \overline{a} b . \end{cases} \quad (3.2)$$

Таблица истинности приведена на рис. 3.2, а. Переменным $\{A_0; A_1\}$ поставлены в соответствие строки $\{a; b; \overline{a}; \overline{b}\}$ матриц И и НЕ – И, выходные данные коммутируются на разряды $\{f_0; f_1; f_2\}$ матрицы ИЛИ. По таблице истинности построена схема матрицы (рис. 3.2, б). Единицы на входной таблице $i \times j$ (см. рис. 3.2, а) заменены точками на схеме. Значениям $\{A_{01} = A_{03} = A_{12} = A_{13} = 1\}$ соответствуют координаты $\{a_1; a_3; b_2; b_3\}$ (см. рис. 3.2, б). Для инверсных значений $\{A_{00} = A_{02} = A_{10} = A_{11} = 0\}$

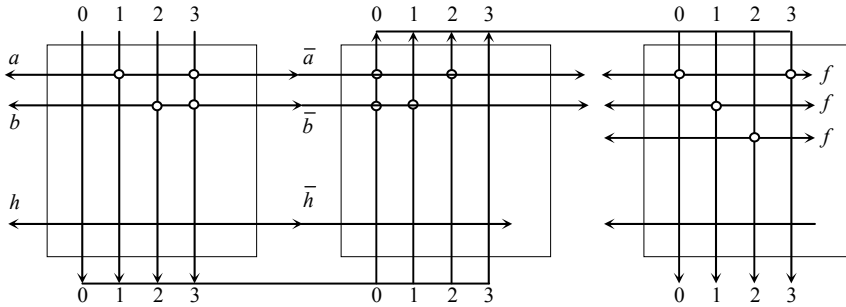
(см. рис. 3.2, а) отмечены соединения с координатами $\{\overline{a}_0; \overline{a}_2; \overline{b}_0; \overline{b}_1\}$ (см. рис. 3.2, б). На рис. 3.2, в приведены коммутационные колодки матриц И, НЕ – И, ИЛИ со штекерами, реализующие функцию (3.2) согласно схеме матрицы, представленной на рис. 3.2, б. Координатам $\{a_1; a_3; b_2; b_3\}$ соответствуют адреса $\{\alpha_{01}; \alpha_{03}; \alpha_{12}; \alpha_{13}\}$ матрицы И блока 1 (см. рис. 3.1, а); координатам $\{\overline{a}_0; \overline{a}_2; \overline{b}_0; \overline{b}_1\}$ – адреса $\{\alpha_{00}^*; \alpha_{02}^*; \alpha_{10}^*; \alpha_{11}^*\}$ матрицы НЕ – И блоков $2, 3$.

$j \backslash i$	A_0	A_1	f_0	f_1	f_2
0	0	0	1	0	0
1	1	0	0	1	0
2	0	1	0	0	1
3	1	1	1	0	0

а)



б)



в)

Рис. 3.2. Реализация ПЛМ:

a – таблица истинности; *б* – принципиальная схема; *в* – монтажная схема

Значениям выходной таблицы (см. рис. 3.2, *a*) соответствуют координаты $\{f_{00}; f_{30}; f_{11}; f_{22}\}$ схемы, представленной на рис. 3.2, *б* с той же индексацией, и адреса $\{\beta_{00}; \beta_{30}; \beta_{11}; \beta_{22}\}$ матрицы ИЛИ блока 4 (см. рис. 3.1, *a*). Для приведенного примера выражение (3.1) имеет вид:

$$\begin{cases} f_0 = \beta_{00} \alpha_{00}^* \bar{A}_0 \alpha_{10}^* \bar{A}_1 + \beta_{30} \alpha_{03} A_0 \alpha_3 A_1; \\ f_1 = \beta_{11} \alpha_{01} A_0 \alpha_{11}^* \bar{A}_1; \\ f_2 = \beta_{22} \alpha_{02}^* \bar{A}_0 \alpha_{11} A_1. \end{cases}$$

Учитывая равенство указанных координат логической единице, находим:

$$\begin{cases} f_0 = \bar{A}_0 \bar{A}_1 + A_0 A_1; \\ f_1 = A_0 \bar{A}_1; \\ f_2 = \bar{A}_0 A_1, \end{cases}$$

что соответствует минтермам таблицы истинности (см. рис. 3.2, *a*). При замене $A_i = \delta_i a_i$ для $\delta_i = 1$ получаем:

$$\begin{cases} f_0 = \bar{a} \bar{b} + ab; \\ f_1 = a \bar{b}; \\ f_2 = \bar{a} b. \end{cases} \quad (3.3)$$

Выражения (3.3) и (3.2) идентичны, что подтверждает соответствие между структурной формулой (3.1) и схемой светодиодной матрицы, реализованной на микротренажере (см. рис. 3.2, *в*).

Обучаемый имеет возможность анализировать работу сконструированной на микротренажере ТЕМП-002 матричной схемы посредством задания значений входных переменных по таблице истинности. Реакцию схемы можно наблюдать по индикации сегментов знаковых индикаторов 1, 3 и 4 (см. рис. 3.1, *a*). Значению логической единицы соответствует светящийся сегмент, темные сегменты обозначают наличие логического нуля. Так как сегменты расположены согласно адресным входам матриц, обучаемый получает наглядную информацию о состоянии в межузловых соединениях программируемой матрицы для любых значений входных переменных. При появлении положительного потенциала на выходах $\{f_k\}_0^n$ в блоке индикации микротренажера регистрируется логическая единица по соответствующим разрядам. Следует отметить, что готовые изделия (например, ПЛМ серии КМ 1556Х118) не позволяют наглядно изучать структуру и микропрограммы ПЛМ вследствие высокой степени интеграции элементов на монолитной полупроводниковой подложке, поэтому промышленные образцы не пригодны для создания микротренажеров и обучения операторов архитектуре матричных структур.

Таким образом, использование знаковых индикаторов для реализации функций и логических преобразований, в отличие от известных решений, позволяет изучать архитектуру матричных цифровых устройств на уровне микропрограммного управления. Высокая наглядность и простота обращения позволяют анализировать и синтезировать цифровые устройства

матричной логики на уровне схем и микропрограмм. Диалоговый режим развивает моторную память оператора и позволяет понять сущность работы цифровых матричных схем.

Способ программирования по аналогии, преобразования сигналов в кодоимпульсной форме, схема ПЛМ на основе светодиодной матрицы микротренажера ТЕМП-002 защищены авторскими свидетельствами СССР на изобретения: № 1083358, Б. И. 12, 1984; № 1105893, Б. И. 28, 1984; № 1265943, Б. И. 39, 1986; патентом РФ № 2102792, Б. № 2, 1988.

По сравнению с лучшими отечественными и зарубежными образцами микротренажер наглядно раскрывает внутреннюю структуру современных микропроцессорных средств благодаря оригинальному включению сегментных светодиодных матриц. Схема микротренажера отличается простотой вследствие использования светодиодных матриц в качестве логических вентилях и индикаторов состояния координатных полей матриц И, НЕ – И, ИЛИ. Программируемая логическая матрица микротренажера содержит память высокой емкости и гибкую структуру за счет применения оригинальной конструкции координатных полей. ТЕМП-002 удобен в эксплуатации как в процессе обучения, так и в научных исследованиях, как при коллективном пользовании, так и в индивидуальном обучении. В микротренажере ТЕМП-002 убедительно представлены преимущества матричной логики, современной технологии интегральных схем, перспективные способы программирования по аналогии, новейшие способы векторного моделирования, наглядность и объективность в сочетании с мобильностью и экономической эффективностью.

ТЕМП-002 изготовлен на 30 светодиодных знаковых индикаторах АЛ304Г и коммутационных колодках КМ 4.487.002. Число сегментов в координатах матриц 192, на выходе ПЛМ – 64. Программная мощность: матрицы И – 8×8 ; НЕ – И – 8×8 ; ИЛИ – 8×8 . Потребляемая мощность не более 5 Вт, стабилизированное питание 5 В от сети 220 В, 50 Гц, габаритные размеры $420 \times 250 \times 120$ мм, масса 6 кг.

ФУНКЦИОНАЛЬНЫЕ МИКРОТРЕНАЖЕРЫ

Функциональные микротренажеры предназначены для практического обучения архитектуре микропроцессорных блоков, комплектов, интерфейсов и периферийных блоков.

ТЕМП-003 представляет собой микротренажер интерфейсов ввода-вывода (ИВВ) диалогового типа и может быть использован как пульт приема-передачи цифровой информации. ТЕМП-003 предназначен для изучения архитектуры диалоговых ИВВ линейного вида микропроцессорных средств, а также для обучения способам приема-передачи кодо- и число-импульсной информации телемеханических систем. Микротренажер позволяет наглядно демонстрировать мультиплексирование и дешифрацию цифровой информации на всех этапах кодо- и число-импульсного преобразования, передачу сигналов по каналу связи приёмнику от передатчика по телефонному кабелю в число-импульсной форме и по шине в двоичном коде.

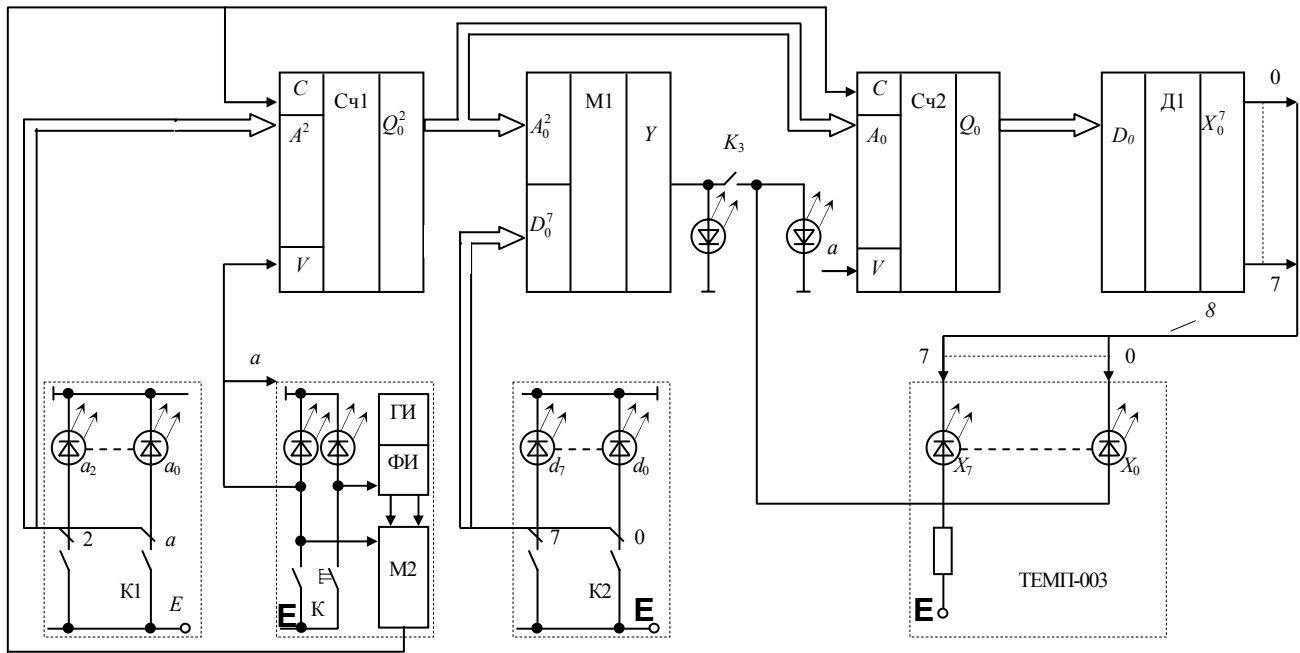
В микротренажере реализован кольцевой опрос входных и выходных каналов с преобразованием информации из параллельного кода в последовательный, и обратно. Тактовые импульсы последовательно во времени увеличивают на единицу адрес опроса, управляющий работой мультиплексора и дешифратора. Инкрементация адреса осуществляется циклично, а синхронное переключение мультиплексора и дешифратора приводит к последовательному подключению во времени соответствующих адресов входных ключей и выходных светодиодов. ТЕМП-003 демонстрирует функционирование ИВВ мультиплексорного вида с линейной позиционной клавиатурой и индикацией в ручном и динамическом режимах. В статическом режиме по адресу в двоичном коде демонстрируется передача сигнала в параллельном двоичном коде с представлением выходного сигнала в единичный код посредством число-импульсного преобразования в процессе кодирования и декодирования информации.

Микротренажер ТЕМП-003 (рис. 3.3, а) состоит из клавиатуры К1 адреса $\{a_i\}_0^2$, счетчиков Сч1 и Сч2 адреса, линейной $\{d_j\}_0^7$ контактуры К2, мультиплексоров М1 и М2, генератора импульсов ГИ и формирователя импульсов ФИ, линейной индикации на светодиодах $\{x_k\}_0^7$, магистрали с ключом К3 и дешифратора Д1.

Мультиплексор М1 служит для коммутации в магистраль одного из восьми каналов контактуры К2 в зависимости от адреса на его входе. Дешифратор Д1 в соответствии с кодом формируемого сигнала на адресном входе декодирует сигнал в магистраль на один из восьми входов приёмника. Мультиплексор М1 и дешифратор Д1 соединены так, что если с выхода мультиплексора поступает единица, то на соответствующем выходе дешифратора появляется нулевой потенциал. Сканирование дешифратора и мультиплексора обеспечивают два счетчика Сч1 и Сч2, которые работают в синхронном режиме. Мультиплексор М2 необходим для коммутации сигналов ГИ и ФИ с помощью кнопочного выключателя К, задания статического и динамического режимов. Кнопочный выключатель служит для синхронизации ИВВ через ФИ в ручном режиме.

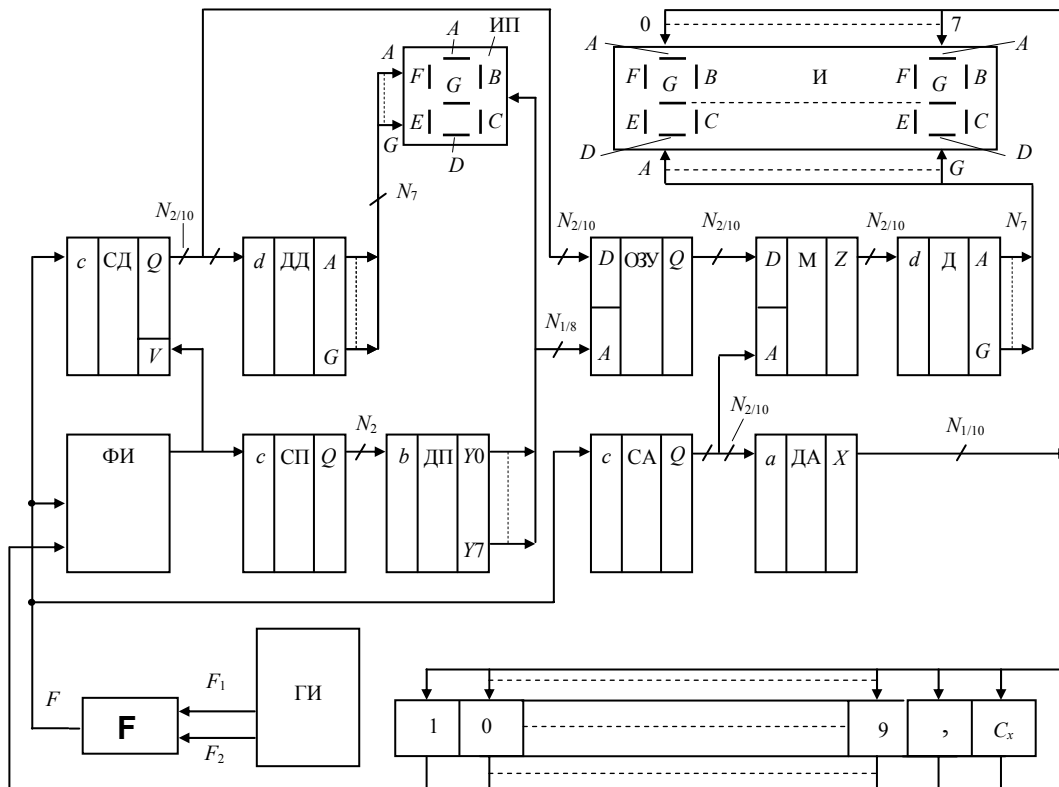
В статическом режиме К замкнут, счетчики Сч1 и Сч2 переводятся в режим предварительной записи. В этом режиме по адресу $a_j^2 \in A_0^2$ с клавиатуры К1 передается сигнал в параллельном коде N_2 на выходы Q_0^2 счетчиков Сч.

С помощью мультиплексора М2 на входы счетчиков в ручном режиме (ключ К разомкнут) коммутируются одиночные импульсы с ФИ, управляемого кнопочным выключателем К. В этом случае увеличение адреса на единицу происходит только после отжатия кнопки оператором. После поступления i -го импульса в счетчиках инкрементируется адрес A_i , при этом мультиплексор М1 соединяет i -й входной канал с магистралью К3.



a)

Рис. 3.3. Функциональные схемы микротренажеров:
a – TEMPI-003; б – TEMPI-013



б)

Рис. 3.3. Окончание

Потенциалу логической единицы (нуля) i -го ключа клавиатуры, регистрируемому x_i -м светодиодом, соответствует высокий (низкий) потенциал на выходе мультиплексора М1, индицируемый светодиодами, включенными в магистраль. Одновременно на X_i -м выходе дешифратора в соответствии с адресом формируется потенциал логического нуля. В этом случае инициализируется x_i -й светодиод приемника.

Если на выходе мультиплексора М1 единичный потенциал (передатчик включен), то x_i -й светодиод включается. При нулевом потенциале (ключи К2 разомкнуты) в магистрали ток через диод x_i не протекает и индикации нет. Другие светодиоды отключены, так как на их катодах присутствует высокий потенциал, поступающий с выходов X_0^7 дешифратора, что соответствует инверсному включению светодиодов.

Ручной режим позволяет фиксировать во времени t_i -й такт функционирования ИВВ и наглядно демонстрировать работу устройства.

В динамическом режиме через мультиплексор М2 подключается генератор ГИ. При разомкнутом ключе К счетчики находятся в режиме последовательного преобразования импульсов и переключаются с частотой 1 кГц. Каждый импульс увеличивает на единицу адрес, управляющий работой мультиплексора М1 и дешифратора Д1. Инкрементация адреса осуществляется циклично, а синхронное переключение дешифратора и мультиплексора М1 приводит к последовательному подключению во времени соответствующих адресу входных ключей К2 и выходных светодиодов x_i . Кольцевой опрос входных и выходных каналов позволяет преобразовывать информацию из параллельного кода в последовательный, и обратно.

Микротренажер ТЕМП-003 отличают простота и наглядность представления архитектуры диалоговых ИВВ и способов преобразования цифровой информации за счет реализации динамической клавиатуры и информации линейного вида с точечным представлением информации. Низкая стоимость и высокий дизайн обеспечены в ТЕМП-003 широкодоступными микросхемами серийного производства и выполнением мнемосхемы с помощью цветной аппликации. Применение сменных мнемосхем функциональной схемы ИВВ и структурной схемы приемо-передатчика позволяет использовать микротренажер для изучения микропроцессорных средств и телемеханических систем.

ТЕМП-003 реализован на микросхемах сер. К133, светодиодах АЛ307; потребляемая мощность не более 0,5 Вт; напряжение питания 5 В от сети 220 В, 50 Гц; габаритные размеры 420 × 250 × 120 мм; масса не более 2 кг.

Логическим продолжением по пути усложнения ИВВ является микротренажер ТЕМП-013.

ТЕМП-013 представляет собой микротренажер диалогового интерфейса мультиплексорного типа с представлением информации в семисегментном коде. ТЕМП-013 позволяет анализировать последовательность состояний всех функциональных блоков ИВВ мультиплексорного типа.

В микротренажере реализован мультиплексорный принцип опроса входных и выходных интерфейсов в соответствии с инкрементацией адреса по линейному закону. Тактовые импульсы последовательно во времени изменяют адрес опроса, управляющий каналами клавиатуры и индикации. Число с линейной клавиатуры вводится поразрядно в двоично-десятичном коде на семисегментный светодиодный индикатор в соответствии со знакоместом, определяемым адресом опроса. ТЕМП-013 наглядно представляет динамический режим ИВВ мультиплексорного вида с линейной позиционной клавиатуры на семисегментную светодиодную матрицу. Микротренажер осуществляет быстрый и медленный ввод информации и ее реализацию в позиционном и семисегментном представлении состояний ключевых функциональных блоков.

Микротренажер ТЕМП-013 (рис. 3.3, б) состоит из линейной клавиатуры $\overline{0, 9}$ счетчика адреса СА и дешифратора ДА, восьмидекадного семисегментного индикатора И. Индикатор и клавиатура непрерывно сканируются импульсами в позиционно-десятичном коде $N_{1/10}$ с выхода дешифратора ДА. Выбор знакоместа осуществляется формирователем импульсов ФИ, счетчиком позиции СП и дешифратором позиции ДП. Позиция набираемого на индикаторе числа формируется за счет суммирования СП импульсов, появляющихся при нажатии каждой клавиши клавиатуры $\overline{0, 9}$. Вес i -й позиции числа набирается в счетчике данных СД в соответствии с номером нажатой клавиши. При этом ФИ генерирует импульс длительностью τ_i , в течение которого в счетчик СД поступают опорные импульсы F_i с генератора импульсов ГИ. Вес позиции преобразуется дешифратором данных ДЦ в семисегментный код N_7 и индицируется на индикаторе позиций ИП. Одновременно в двоично-десятичном коде $N_{2/10}$ вес записывается в ОЗУ по адресу i -й позиции. Выборка информации из ОЗУ на цифровой индикатор осуществляется через мультиплексор М и дешифратор Д посредством сканирования адресных входов мультиплексора М линейно изменяющимся кодом $N_{2/10}$ счетчика СА. Мультиплексор М коммутирует последовательно во времени за один цикл сканирования i знакомест цифрового индикатора. Каждое знакоместо выполнено по сегментной структуре, причем одноименные сегменты индикаторов соединены параллельно. Выводы сегментов поразрядно подключены к выходу дешифратора Д, а выходы анодов знакомест – к выходам дешифратора ДА. На семисегментном индикаторе последовательно во времени индицируется вес числа i -й позиции, $i = \overline{0, 9}$. Это удобно наблюдать при низкой частоте $F_1 = 1$ Гц, когда позиции изменяются с интервалом 1 с. При сканировании с частотой $F_2 = 1$ кГц переключение позиций визуально не наблюдается, а воспринимается одновременная индикация всех знакомест. Переключение опорной частоты сканирования осуществляется клавишей F , а клавишей C_x обнуляются регистры ОЗУ и счетчик СД.

ТЕМП-013 доступно и наглядно представляет архитектуру диалоговых ИВВ микропроцессорных средств благодаря методическому разделению интерфейса по функциональным признакам ввода, управления и вывода. Высокая информативность и наглядность функционирования ИВВ, удобство и простота обслуживания микротренажеров обусловлены представлением архитектуры ИВВ доступной для восприятия мнемосхемой с индикацией вектора состояний основных функциональных блоков. Микротренажер демонстрирует управление цифровым сигналом за счет деления преобразования информации с методической точки зрения в пространственных, временных и функциональных координатах. Экономическая эффективность определяется применением серийно выпускаемых микросхем широкого назначения. Высокая информативность и дизайн ТЕМП-013 обеспечиваются выполнением мнемосхемы и цветовой аппликации.

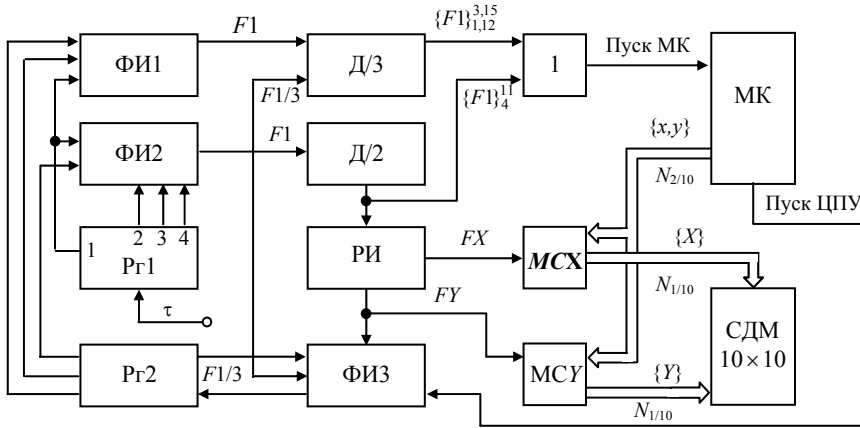
ТЕМП-013 реализован на микросхемах сер. К133, знаковых индикаторах АЛ305; потребляемая мощность 15 Вт; стабилизированное питание 5 В от сети 220 В, 50 Гц; габаритные размеры 420 × 250 × 120 мм; масса не более 4 кг.

УНИВЕРСАЛЬНЫЕ МИКРОТРЕНАЖЕРЫ

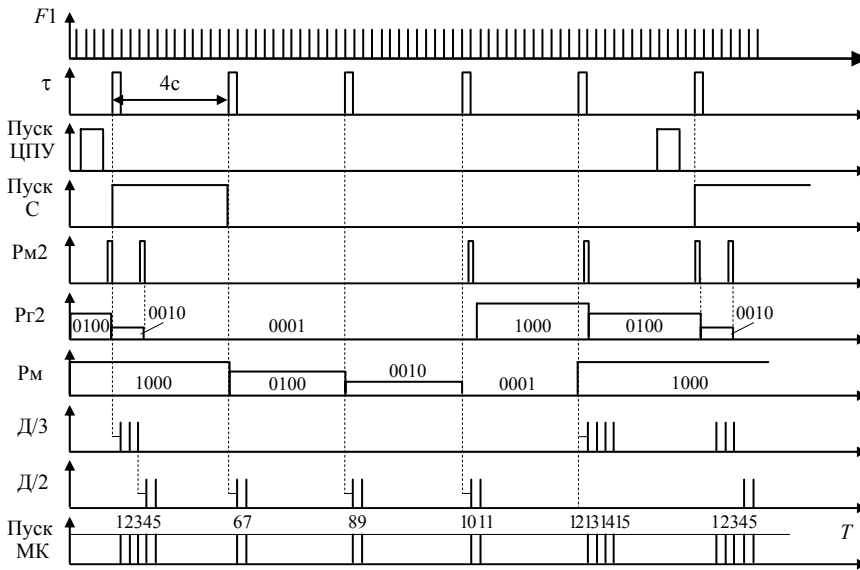
Универсальные микротренажеры предназначены для комплексного изучения аппаратных и программных средств, математического и физического моделирования объектов и процессов с помощью сменных мнемосхем и программ.

Микротренажер мнемосхем ТЕРМИС-М100 имитирует функционирование микропроцессорных средств с помощью демонстрации статических и динамических режимов блоков, представленных мнемосхемой. Он выполнен на базе серийно выпускаемого микрокалькулятора "Электроника МК-64", аппаратно-управляемого порта вывода и светодиодной матрицы (СДМ) двухкоординатного типа. Микротренажер позволяет выводить на СДМ одну из 100 координат с индикацией в статическом режиме через равные интервалы времени, определяемые таймером. Кроме демонстрационных задач микротренажер может быть использован для управления технологическими процессами.

Принцип действия микротренажера поясняют структурная схема (рис. 3.4, а) и временная диаграмма (рис. 3.4, б). Перед началом работы в микрокалькулятор МК вводится программа, имитирующая функционирование исследуемого устройства, а на СДМ помещается соответствующая мнемосхема. В ячейку микрокалькулятора МК Р9 заносится код эксперимента, например 21010003, позволяющий выводить информацию из реги-



а)



б)

Рис. 3.4. Микротренажер ТЕРМИС-М100:
а – структурная схема; б – временные диаграммы

стра X через интерфейс К145 ИК1801 на выход $\{X; Y\}$ калькулятора МК. Информация поступает тетрадами в двоично-десятичном коде (15 импульсов в одном машинном цикле). Сущность вывода информации в ТЕРМИС-М100 заключается в формировании четырех адресов по две декады из восьмиразрядной мантиссы числа регистра X , регистрируемого на индикаторе, последовательного циклического переноса текущего адреса через равные интервалы времени и его статическая индикация на двухкоординатной СДМ в виде одной позиции. В каждом такте, определяемом таймером, через порт выводится один адрес, определяемый последовательностью двоично-десятичных кодов из двух тетрад соответствующего знакоместа мантиссы.

При нажатии клавиши "Пуск" микрокалькулятора МК начинается счет программы, которая в простейшем случае представляет собой чтение каких-либо чисел из регистров P_i ($i = \overline{0, 9}$) и отображение их на индикаторе. В момент включения клавиши "Установка" микротренажер переключается в исходное состояние: на выходах 1 – 4 регистра Pr1 формируется комбинация $\{1; 0; 0; 0\}$, на выходах а – г регистра Pr2 комбинация $\{0; 1; 0; 0\}$, импульсы с частотой не поступают на делители Д/3 и Д/2 – схема находится в ожидании.

Запуск программы осуществляется клавишей "Пуск" микрокалькулятора. После отработки программы калькулятор генерирует импульс "Пуск ЦПУ" на выходе и первую тетраду информации (знак порядка), не регистрируемую СДМ тренажера. Импульс "Пуск ЦПУ" переключает регистр Rg2 в состояние $\{0; 0; 1; 0\}$ и запускает делитель Д/3 импульсами с частотой $F1$. Этот делитель отсчитывает три импульса 1, 2, 3, которые поступают на вход "Пуск МК" без отображения информации на мнемосхеме.

Третьим импульсом делитель Д/3 блокируется и пропускает его через элемент ФИЗ на регистр Rg2, который переключается в состояние $\{0; 0; 0; 1\}$. Следующие импульсы с частотой $F1$ на работу делителя Д/3 не влияют. В это время включается делитель Д/2, управляющий выводом значащей информации. После формирования при первом включении из импульсов частотой $F1$ двух импульсов 4, 5, поступающих на распределитель импульсов РИ, делитель Д/2 блокируется до появления очередного тактирующего импульса с формирователя ФИ2, работой которого управляет таймер с периодом $T = 4$ с.

После генерации трех пар импульсов 6 и 7, 8 и 9, 10 и 11 регистр Rg2 последним импульсом переключается в состояние $\{1; 0; 0; 0\}$ и блокирует поступление импульсов на вход "Пуск МК". Каждая пара импульсов осуществляет вывод значащей информации по две декады в двоично-десятичном коде из регистров микрокалькулятора. Четыре последних импульса 12 – 15 формируются ФИ1 и служат для подготовки калькулятора к следующему циклу работы. Регистры Rg1 и Rg2 устанавливаются в исходное состояние. Импульсом 15 формируется сигнал "Пуск", вновь запускается программа, и цикл микротренажера повторяется.

Цифровая информация, получаемая с микрокалькулятора в последовательно-параллельной форме, преобразуется в регистрах микросхем строк МСХ и столбцов МСУ в параллельную. На выходах регистров отображается в двоично-десятичном коде пара чисел, указывающих строку X и столбец Y индицируемого светодиода матрицы. Этот код дешифратора микросхем МСХ и МСУ преобразуется в позиционный десятичный код и выводится на двухкоординатную СДМ (см. рис. 3.7).

Матрица мнемосхемы выполнена на поле светодиодов емкостью 10×10 . Светодиоды включены через инверторы между выходами дешифраторов столбцов ДУ и строк ДХ. Такое включение позволяет не использовать резисторы. Светодиод включается лишь в том случае, если на обоих выходах дешифраторов микросхем МСХ и МСУ присутствуют логические единицы.

Программное обеспечение микротренажера ТЕРМИС-М100 содержит три группы управляющих программ, которые отличаются друг от друга типом используемой памяти. Оператору программно доступны стековая, регистровая и программная память, соответственно различают стековые, регистровые и алгоритмические программы.

Программы с использованием стековой памяти отличаются предельной простотой и малым числом шагов. Однако этому типу программ присущ и серьезный недостаток – невозможность изменять порядок вывода чисел, так как информация в кольцевом стеке микротренажера может перемещаться только в одну сторону, т.е. стековая программа может быть организована только с последовательной выборкой координат. Объем записываемой информации – 28 координат (семь регистров по четыре двухзначных числа).

Пример программы с использованием стековой памяти: P2, ВП, 1, 0, F2, С/П, P0, БП, P0. В стек последовательно загружены числа: 10 21 22 23 (I); 24 25 26 36 (II); 46 56 55 54 (III); 53 52 51 40 (IV); 41 42 43 44 (V); 34 24 14 13 (VI); 12 11 10 10 (VII). Эта программа предназначена для иллюстрации фрагмента работы микропроцессорного средства с трехшинной архитектурой (рис. 3.5). Группы чисел I – IV показывают движение сигнала по адресной шине АШ из микропроцессора в ОЗУ, а V – VII – перемещение информации из ОЗУ в микропроцессор МП по информационной шине ИШ. Программа осуществляет последовательный сдвиг информации в стеке и вывод чисел на мнемосхему.

Программы с использованием регистров отличаются от стековых большей гибкостью, так как последовательность чтения информации из регистров задается программой с произвольной выборкой координат.

Примером программы этого типа может служить программа вывода на режим: F3, ВП, 1, 0, С/П, БП, P0. В регистр P3 микрокалькулятора записывают число 10203040. Программа организует вывод чисел 10, 20, 30, 40 на СДМ микротренажера. Первая цифра числа – это координата строки X , вторая – столбца Y . Программа осуществляет считывание числа, записанного в третьем регистре, после прочтения кода цифрорепечати ВП10 останавливается на команде С/П и организует вывод на мнемостенд координаты (одну из четырех). После этого происходит переход на первый шаг программы по команде безусловного перехода БП P0, и цикл повторяется. Описанным выше программам присущ недостаток – ограниченность запоминаемой и выводимой информации (28 координат у первого типа программ и 24 – у второго), т.е. при совмещении этих программ максимальное число выводимых координат 52.

Наиболее универсальным и многочисленным типом программ являются программы алгоритмического типа, содержащие арифметические и логические операции, алгебраические и тригонометрические функции. Несмотря на большую трудоемкость, которая обусловлена подбором координат и сложностью составления программ, алгоритмические программы позволяют максимально использовать возможности микротренажера.

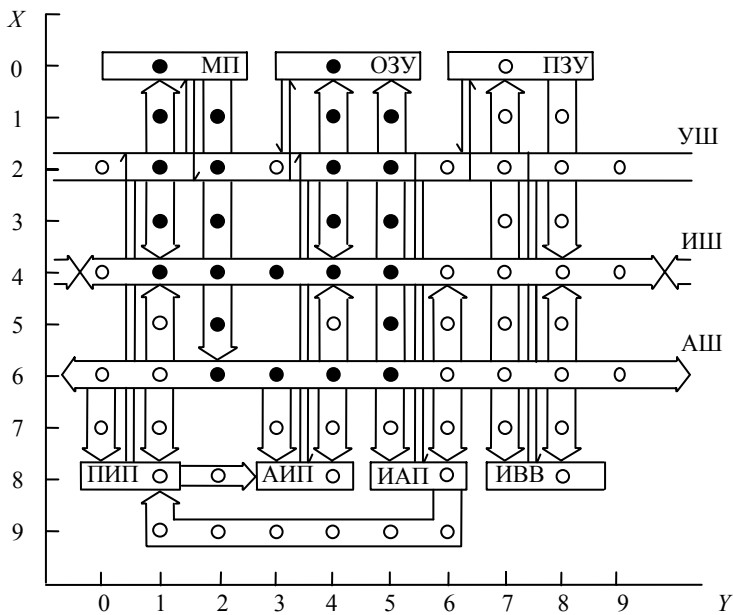


Рис. 3.5. Мнемосхема микропроцессорного средства с трехшинной архитектурой:

МП – микропроцессор; ОЗУ – оперативно запоминающее устройство;
 ПЗУ – постоянно запоминающее устройство; ПИП – первичный измерительный преобразователь; АИП – аналогово-импульсный преобразователь;
 ИАП – импульсно-аналоговый преобразователь; ИВВ – интерфейс ввода-вывода;
 АШ – адресная шина; УШ – управляющая шина; ИШ – информационная шина

Примером этого типа программ может служить тест-программа, предназначенная для контроля работоспособности микротренажера и целостности светодиодной матрицы. Программа использует алгоритм вычитающего счетчика, осуществляет последовательную индикацию координат от 99 до 00. Простейшая программа счетчика оперирует двумя регистрами Р8 и Р7, причем приращение адреса хранится в регистре Р7, а модифицированный адрес – в регистре Р8. Программа счетчика имеет вид: F8, ВП, 1, О, F8, С/П, ↑, F7, –, Р8, БП, РО, а в регистры Р7 и Р8 соответственно заносят числа 01010101 и 99989796. По программе осуществляется последовательное считывание четверки чисел из регистра F8 и уменьшение адресов на единицу с последующим выводом информации.

Микротренажер мнемосхем ТЕРМИС-М100 выполнен на основе измерительно-вычислительной системы ТЕРМИС-М и имеет все преимущества и недостатки базовой модели. Порт микротренажера содержит жесткий алгоритм вывода информации из регистров, поскольку используется аппаратное управление сканированием мантиссы. Неоправданная сложность схемы порта обуславливает большие размеры, высокую стоимость, низкую технологичность, сложность изготовления и низкую надежность, что приводит к высоким энергетическим, материальным и интеллектуальным затратам. ТЕРМИС-М 100 содержит три дополнительные платы на микросхемах К133, конструктивно размещенных в поддоне микрокалькулятора размером 325 × 275 × 320 мм и мнемостенда размером 420 × 250 × 120 мм. СДМ выполнена на светодиодах АЛ307. Потребляемая мощность 50 Вт от сети 220 В, 50 Гц; масса микротренажера 8 кг.

Повышение гибкости за счет программного управления вводом-выводом достигнуто в модели ТЕМП-001, представляющей собой микротренажер мнемосхем для обучения и контроля программного и аппаратного обеспечения микропроцессорных средств и технологических процессов в пространственных, временных и функциональных координатах. Микротренажер позволяет получать наглядную информацию о быстротекущих и не доступных восприятию процессах и объектах, способен моделировать медленно текущие процессы в удобной и наглядной форме, что необходимо при изучении естественных наук.

Исследуемый процесс или объект изображается на мнемосхеме в поле координат двухмерной матрицы. Высвечивание координат матрицы осуществляется микротренажером по программе, составленной оператором в соответствии с изменением состояния в пространственных, временных или функциональных координатах. Последовательно во времени на матрице мнемосхемы по методу произвольной выборки регистрируется одна координата, траектория которой изменяется в соответствии с выбранным полем координат за счет программного задания позиции адреса. Микротренажер функционирует в двух режимах: обучение и контроль. Управление координатами матрицы мнемосхемы осуществляется в явном, неявном и модифицированном видах из заданной позиции регистровой памяти через программно-управляемый порт ввода-вывода.

Микротренажер ТЕМП-001 (рис. 3.6) содержит таймер 1, микрокалькулятор 2, регистр 3 адреса, блок программ 4, двухканальный информационный регистр 5, дешифратор столбцов 6, блок вентилялей 7, дешифратор нуля 8, счетчик адреса 9, дешифратор строк 10 и СДМ 11. Светодиоды СДМ 11 выполняют основную функцию индикации, а также служат логическими вентилями для электрической развязки строк и столбцов матрицы (рис. 3.7).

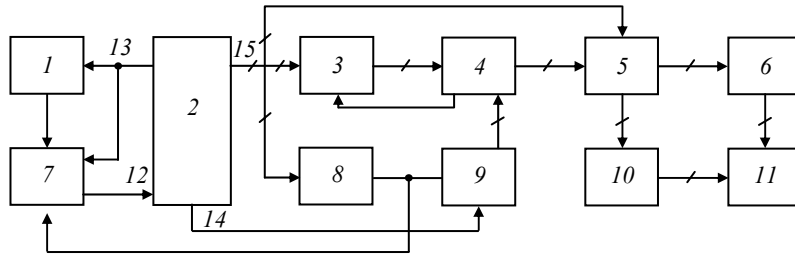


Рис. 3.6. Структурная схема микротренажера ТЕМП-001

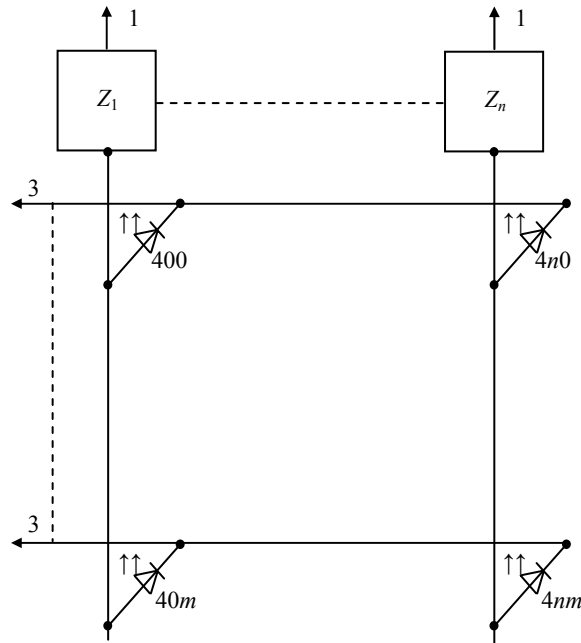


Рис. 3.7. Схема СДМ

Светодиоды размещены на передней панели экрана в виде матрицы размерностью $t \times n$ со сменной мнемосхемой. На лицевую панель с СДМ 11 (см. рис. 3.6) накладывается мнемосхема из непрозрачного материала с отверстиями для светодиодов с изображением в виде аппликации из цветного материала изучаемого устройства.

Устройство на мнемосхеме может быть представлено на любом необходимом иерархическом уровне (от элемента до сети) с отображением изучаемого объекта (процесса) в пространственном, временном или функциональном поле. Координатами поля служит СДМ размерностью $t \times n$. Число строк t и столбцов n для микрокалькулятора удобно задавать в позиционном десятичном коде, при этом адрес светодиода целесообразно представлять парой чисел $\{i; j\}$

$$A_{ij} = i10^1 + j10^0,$$

для $i, j = \overline{\{0; 9\}}$. В двухкоординатной матрице $\{m; n\} = \{10; 10\}$ организуется 100 адресов $\overline{\{00; 99\}}$.

Номер адреса вводится с клавиатуры микрокалькулятора 2 (см. рис. 3.6) или формируется программно и регистрируется на цифровом табло. Число на индикаторе представляется мантиссой из восьми позиций и порядком из двух позиций. Мантиссу числа формируют из четырех адресов A_{ij} , а знак порядка младшей позиции используется для программного задания номера $k = \overline{\{0; 4\}}$ знакоместа адреса мантиссы, из которого предполагается выводить адрес A_{ij} на поле СДМ 11. Например, по значениям знака порядка $\{0; 1\}$ выводится первая пара, $\{0; 2\}$ – вторая, $\{0; 3\}$ – третья, $\{0; 4\}$ – четвертая, а по значениям $\{0; 0\}$ ни одна из пар мантиссы не выводится. Числа из микрокалькулятора 2 выводятся последовательно во времени по одной позиции в двоично-десятичном коде, начиная со знака порядка и кончая младшей позицией мантиссы. Микрокалькулятор 2 позволяет выбирать адреса из регистра, стека и программной памяти. Например, микрокалькулятор "Электроника МК-64" содержит 10 регистров, шесть стеков и 66 шагов программной памяти и позволяет в режиме прямой адресации оперировать 64 адресами. При модификации значений, записанных в регистрах и стеках по алгоритмической программе, число выводимых координат ограничено лишь размерностью матрицы.

Для индикации необходимого адреса на СДМ 11 оператор формирует на табло (в текущем регистре X) микрокалькулятора 2 до четырех адресов в мантиссе с указанием в показателе порядка знакоместа этого адреса. В микрокалькулятор предварительно заводятся программа вывода и код режима работы. Клавишей "С/П" осуществляется пуск программы вычисления микрокалькулятором 2. Циклический вывод координат адресов на информационный выход блока 2 организуется подпрограммой цикла микрокалькулятора и тактовыми импульсами (рис. 3.8, а), поступающими на вход "Пуск" 12 (см. рис. 3.6). Каждому импульсу по входу соответствует один такт работы микрокалькулятора 2, а 15 тактов составляют один цикл (рис. 3.8, б). Пачка из 14 импульсов формируется из импульсов с частотой синхронизации, поступающих с выхода 13 (см. рис. 3.6) генератора микрокалькулятора 2 через элемент вентиля 7.

На выходе 14 управления блока 2 после выполнения программы расчета формируются импульсы синхронизации (рис. 3.8, в), которые суммируются счетчиком 9 (см. рис. 3.6), считающим от 0 до 14. Счетчик управляется импульсами (рис. 3.8,

е), поступающими с выхода дешифратора нуля 8 (см. рис. 3.6) при формировании на его входе служебного кода {1; 1; 1; 1}. Этот код появляется на информационной шине микрокалькулятора 2 после выполнения вывода информации в цикле. В момент появления служебного кода при нулевом потенциале счетчик останавливается (рис. 3.8, д), а при появлении единичного потенциала считает. Счетчик 9 останавливается, так как одновременно блокируются импульсы пуска микрокалькулятора 2, поступающие с блока вентиляй 7 в момент генера

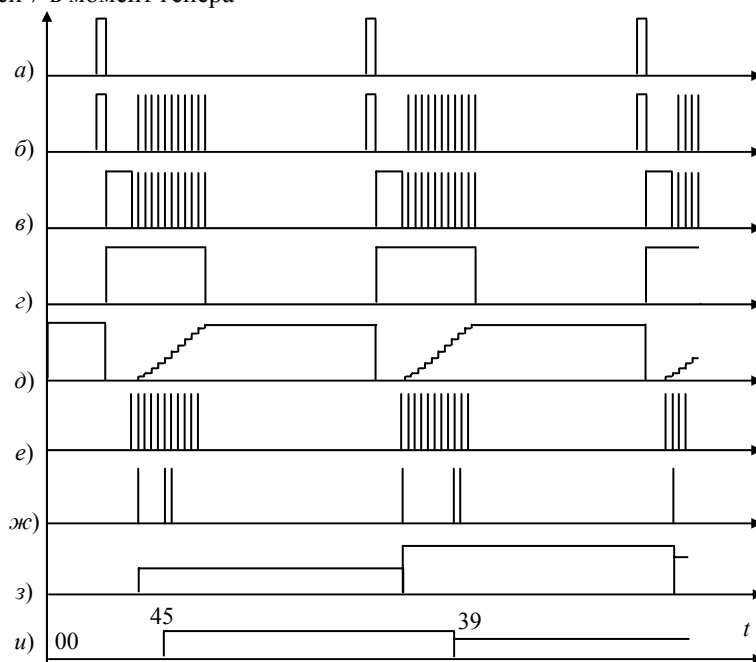


Рис. 3.8. Временные диаграммы работы микротренажера ТЕМП-001

ции служебного кода. Каждый цикл начинается в момент появления импульса (см. рис. 3.8, а) на выходе таймера 1 (см. рис. 3.6), формирующего его за счет деления частоты синхронизации блока 2. Для микротренажера период поступления тактовых импульсов равен 1...10 с и определяется субъективными характеристиками восприятия обучаемого.

Тактовый импульс (см. рис. 3.8, б) через блок 7 (см. рис. 3.6) запускает микрокалькулятор 2; при этом на его информационном выходе 15 служебный код сменяется на значимый код. На выходе дешифратора 8 появляется разрешающий потенциал (см. рис. 3.8, г), и счетчик 9 начинает считать импульсы, формируемые на выходе микрокалькулятора 2 (см. рис. 3.6) из импульсов синхронизации, проходящих через блок 7 на вход "Пуск" 12. Счетчик 9 изменяет адреса (см. рис. 3.8, д) блока программ 4 (см. рис. 3.6), который формирует импульсы записи в соответствующие моменты времени вывода информации (рис. 3.8, ж). Первый импульс (рис. 3.8, з) разрешает запись числа младшей позиции знака порядка в регистр 3 адреса (см. рис. 3.6). При этом на адресных шинах блока программ 4 формируется начальный код одной из подпрограмм алгоритма записи информации в регистр 5. В соответствии с выбранным ранее примером, на выходе блока 4 формируются импульсы (рис. 3.8, жс): знака порядка {0; 1} в момент появления позиции первой пары мантиисы; {0; 2} – второй пары, {0; 3} – третьей пары, {0; 4} – четвертой пары, {0; 0} – импульсы отсутствуют. В регистре информации 5 (см. рис. 3.6) последовательно во времени формируются адреса A_{ij} (рис. 3.8, и), заданные на мантиисе числа индикатора (рис. 3.8, е) микрокалькулятора 2 (см. рис. 3.6). Двухпозиционный двоично-десятичный код преобразуется дешифраторами 6 и 10 в двухпозиционный единично-десятичный код и дешифруется СДМ в позиционный код. На лицевой панели микротренажера последовательно во времени индицируются светодиоды с адресом, программно-управляемые оператором с помощью микрокалькулятора 2.

Светодиоды 4 матрицы (см. рис. 3.7) преобразуют двухкоординатный код $\{X; Y\}$, поступающий на шины строк 3 и столбцов 1 за счет использования логической функции включения

$$\alpha_{ij} = x_i y_j .$$

При этом индицируется светодиод с адресом A_{ij} при появлении на его входах комбинации $a_{ij} = \{0; 1\}$. Другие светодиоды выключены, так как на их входах присутствуют другие комбинации, запирающие диоды СДМ 11 (см. рис. 3.6). Необходимая функция реализуется включением в СДМ инверторов 2 (см. рис. 3.7) по шине 1 столбцов и соответствующим соединением в ij -й ячейке светодиода 4.

В описанном выше режиме обучения на мнемосхеме имитируется функционирование изучаемого устройства на примере структурной, функциональной или принципиальной схемы в базисе комбинаторной или матричной логики с представлением таблицы истинности или состояний, математической модели и временной диаграммы.

В режиме контроля преподавателем заносятся в стек калькулятора контрольные адреса, а экзаменуемый вводит предполагаемые адреса в регистры. По программе адреса сравниваются. При наличии ошибочных адресов начисляются штрафные баллы, а при правильном ответе индицируется работа устройства на мнемосхеме, после чего выводится итоговая оценка на табло микрокалькулятора 2 (см. рис. 3.6).

Программное обеспечение ТЕМП-001 состоит из трех типов программ – стековых, регистровых и алгоритмических, но в отличие от программ ТЕРМИС-М100 они более гибкие и компактные за счет замены жесткого алгоритма сканирования позиций адресов программным управлением позиций с произвольной выборкой. Гибкость программирования повышена в 16 раз, во столько же сократилась сложность адресации.

В качестве примера рассмотрим блок-схему программы вывода координат адреса из стека (рис. 3.9), которая является фрагментом в программном обеспечении микротренажера мнемосхем ТЕМП-001. Программа выполнена циклической и со-

стоит из шести блоков. После начала функционирования в блоке 1 в оперативные регистры X и Y заносится информация из l -го кольцевого стека C_l со знаком порядка $\{0; 4\}$. В блоке 2 осуществляется вывод двухпозиционного адреса с k -й позиции мантиссы регистра X на информационный выход микрокалькулятора. В первом подцикле на выход выводится четвертая пара в соответствии с четвертым порядком мантиссы, после чего на порядок уменьшается содержимое в оперативных регистрах. Это необходимо для вывода $(k - 1)$ -й пары. В блоке 3 формируется информация в регистре Y . Из содержимого регистра Y вычитается единица в блоке 4, а в блоке 5 проверяется порядок мантиссы. Если порядок больше нуля, то $X > 0$, и осуществляется переход на блок 2 вывода информации; в противном случае (для $X < 0$) выполняется блок 6. Значение регистра Y повышается на четыре порядка, и через регистр X число засылают в $(l - 1)$ -й стек C_{l-1} , что необходимо для восстановления содержимого, выбранного из l -го стека C_l . После этого происходит переход на блок 1, и цикл повторяется. В каждом подцикле выводится лишь k -я пара мантиссы, а за цикл – четыре пары, начиная с четвертой, причем содержимое в стеке движется по кольцу, структурно не изменяясь.

Реализацию стековой программы рассмотрим на примере имитации функционирования кольцевой архитектуры в процессе ввода-вывода информации в микрокалькулятор, организованный на число-импульсных микропроцессорах. Обучаемый накладывает мнемосхему (рис. 3.10) на лицевую панель матрицы, при этом с отверстиями в мнемосхеме совпадают светодиоды. Кроме программы в микрокалькулятор загружаются данные:

C_l	A_{ij}				C_l	A_{ij}			
	A_{01}	A_{02}	A_{03}	A_{04}		A_{01}	A_{02}	A_{03}	A_{04}
C_0	24	25	17	07	C_1	64	54	44	34
C_2	93	94	84	74	C_3	62	72	82	92
C_4	22	32	42	52	C_5	24	14	13	12
C_6	08	18	17	25	C_0	24	25	17	07

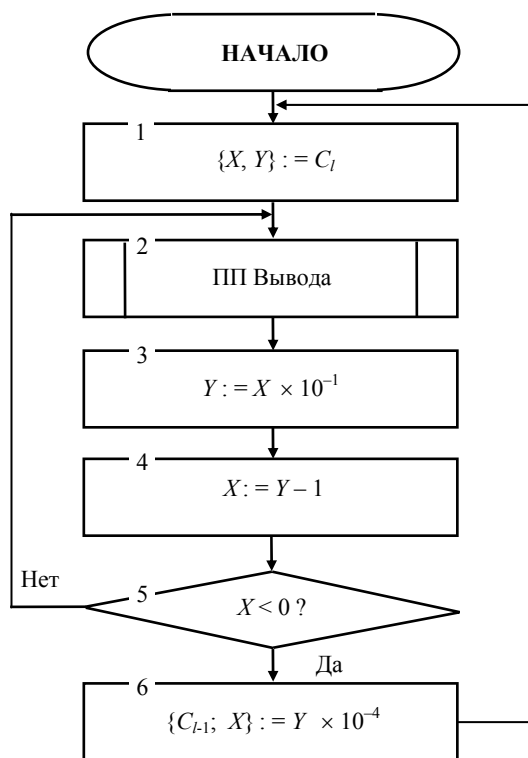


Рис. 3.9. Блок-схема программы вывода координат из стека

Здесь запятая определяет четвертую степень порядка вводимого числа. Информацию в стеки C_l микрокалькулятора вводят построчно слева направо и сверху вниз. После загрузки шестого стека C_6 на цифровом табло микрокалькулятора (регистра X) индицируется первое число стека C_0 .

Обучаемый запускает программу в микрокалькуляторе нажатием клавиши "С/П". На мнемосхеме последовательно во времени индицируются светодиоды матрицы с адресами, указанными в строках таблицы с четвертой по первую пару. При этом последовательно включаются блок K клавиатуры (адрес 07, где 07 – координаты YX на рис. 3.10), магистраль ввода (17), АЛУ (25) и ОЗУ (24) центрального микропроцессора. Поступившая информация циркулирует слева направо по информационной магистрали с координаты (34) через ОЗУ (44, 64, 84) микропроцессоров. После прохождения полного цикла по информационной магистрали (адреса 94 92 12 14) сигнал через ОЗУ (24) и АЛУ (25) центральной БИС по магистрали вывода (17 18) поступает на блок индикации БИ (08). Имитация ввода-вывода организована циклично, и программа повторяется.

Демонстрация различных режимов функционирования число-импульсной кольцевой архитектуры на микротренажере мнемосхем прививает комплексные знания по аппаратному и программному обеспечению микропроцессорных средств.

Микротренажер ТЕМП-001 выполнен на базе микрокалькулятора "Электроника МК-64", на микросхемах сер. К133, светодиодах АЛ307, блок памяти – на ПЗУ 556РТ4. Микросхемы размещены на двух дополнительных

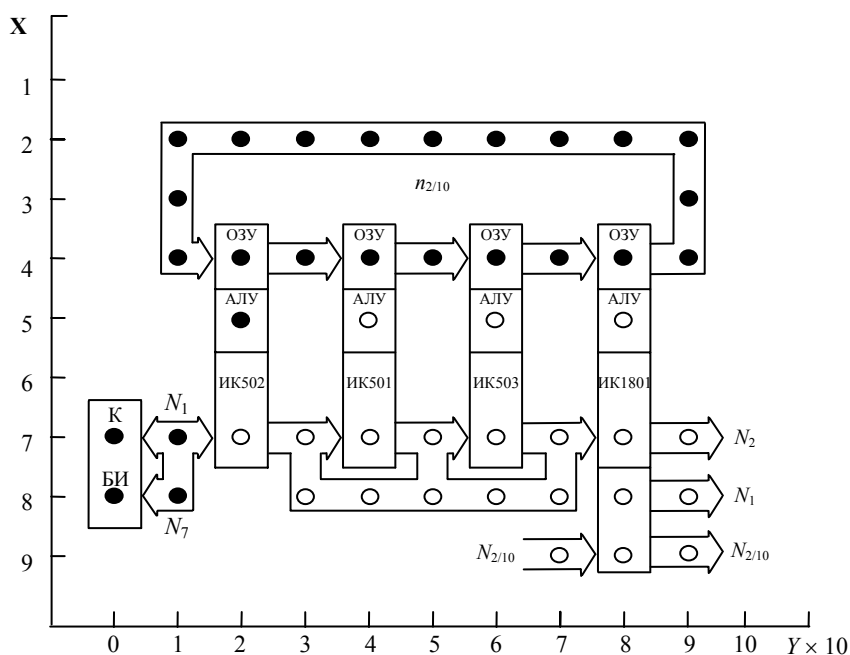


Рис. 3.10. Мнемосхема кольцевой архитектуры микропроцессора

платах в поддоне калькулятора с габаритными размерами $325 \times 275 \times 120$ мм и мнемостенда с габаритными размерами $420 \times 250 \times 120$ мм. Потребляемая мощность не более 15 Вт от сети 220 В, 50 Гц; масса микротренажера не более 6 кг.

Более совершенен по гибкости и информативности мнемостенд *ТЕМП-011*, который представляет собой микротренажер мнемосхем для обучения и контроля объектов и процессов на различных иерархических уровнях в пространственных, временных и функциональных координатах. Микротренажер способен моделировать изменение исследуемых процессов и объектов с заданной скоростью в удобной и наглядной форме. ТЕМП-011 имитирует исследуемый процесс или объект на мнемосхеме с программным управлением по методу бегущей строки. Рисунок, эскиз или чертеж изображаются в виде аппликации на плоскости двумерной матрицы. Последовательно во времени на матрице мнемосхемы индицируется состояние изучаемого процесса по четырем значимым координатам в одном такте. Координаты на мнемостенд выводятся из памяти ОЗУ посредством сканирования адресации по линейному закону. Копирование информации в ОЗУ осуществляется по 16 программам в число-импульсной форме синхронно с адресацией. ТЕМП-011 позволяет изучать и контролировать процессы в статическом и динамическом режимах.

В схему микротренажера ТЕМП-011 (рис. 3.11) по сравнению со схемой микротренажера ТЕМП-001 дополнительно включены компаратор К, оперативно-запоминающее устройство ОЗУ, сканирующий счетчик на трех декадах СХ, СД и СУ, а также регистр строк РХ. В отличие от базовой модели блок микропрограммного управления выполнен на двух каскадах из последовательно соединенных регистров признаков РП и схем ПЗУ. Дешифратор нуля ДО оперирует лишь старшими разрядами служебного кода, а на младшие воздействуют импульсы ЦПУ и опорной частоты. Программная память ПЗУ реализует 16 подпрограмм, выбираемых оператором по двум декадам с клавиатуры микрокалькулятора через регистр признаков РП. Информационный регистр РИ выполнен однодекадным и предназначен для фиксации координат X адреса. Координата Y адреса непосредственно поступает с выходной информационной магистрали микрокалькулятора МК на входы компаратора К.

Адресация компаратора, ОЗУ и светодиодной матрицы СДМ осуществляется циклически по линейному закону сканирующим счетчиком. Для исключения неравномерности индикации экрана СДМ дешифратор строк заменен регистром РХ, а счетчик сканирования выполнен трехдекадным. Светодиоды СДМ выполняют основную функцию индикации, а также служат логическими вентилями для гальванической развязки строк и столбцов матрицы. Светодиоды размещены на передней панели экрана в виде матрицы размерностью $m \times n$ со сменной мнемосхемой.

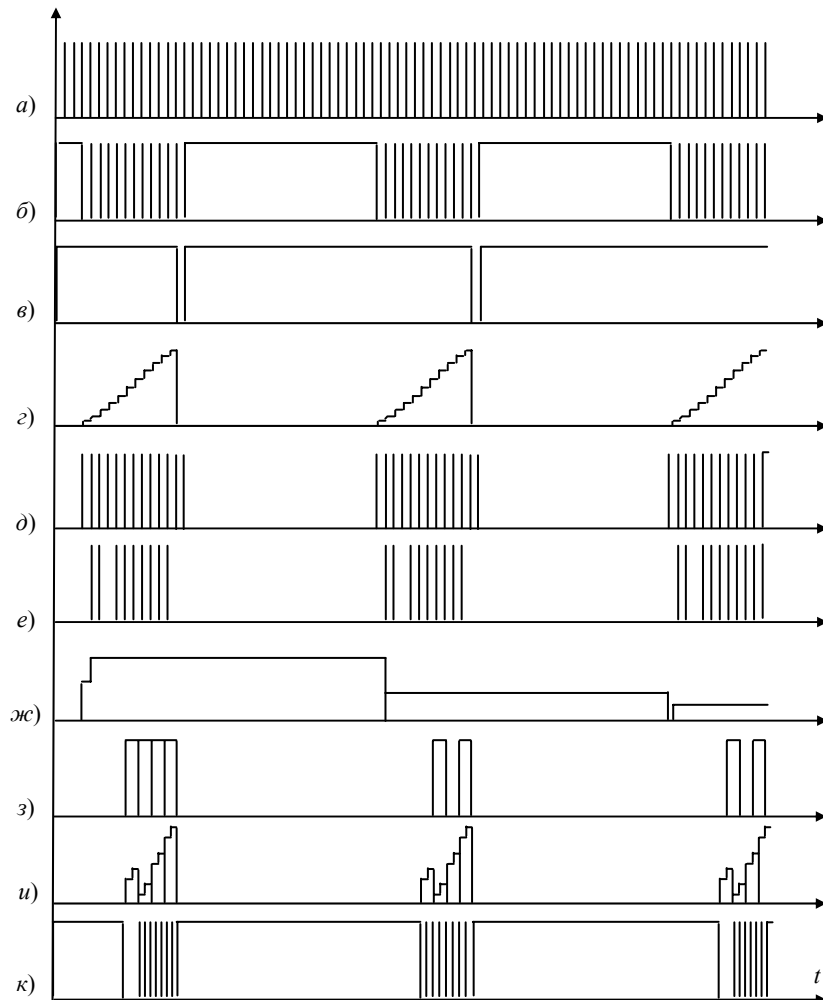


Рис. 3.12. Временные диаграммы ТЕМП-011

Счетчик СА позволяет декодировать адрес с временными координатами в адрес с координатами в пространстве. Счетчик СА изменяет адреса блока ПЗУ, который генерирует импульсы записи в соответствующие моменты времени (рис. 3.12, е) вывода информации. Первые два импульса формируются на выходе ПЗУ (см. рис. 3.11) по жесткому алгоритму, не управляемому по программе. Они позволяют записать в регистр признаков числа порядка со старшей и младшей позиции (рис. 3.12, ж).

На временной диаграмме (рис. 3.12, з) приведены примеры регистрации чисел 15 (код 1111), 10 (код 1010) и 5 (код 0101) в каждом такте функционирования микротренажера. Этими кодами из ПЗУ выбирается одна из 16 подпрограмм алгоритма записи информации в ОЗУ. В соответствии с приведенным для определенности примером в текущем такте на выходах управления появляются импульсы записи мантиссы числа (см. рис. 3.12, е), а на информационном выходе последовательность число-импульсных кодов {1111; 1010; 0101}. На вход предварительной записи b регистра РИ (см. рис. 3.11) поступают импульсы синхронно с информацией о мантиссе числа. При появлении декады младшей позиции X_a на выходе информации МК на выходе регистра РИ присутствует декада старшей позиции Y_a выводимого адреса $A\{X; Y\}$. В момент формирования полного адреса инициируется работа компаратора к импульсам управления ПЗУ по выходу c .

На рис. 3.12, и показано формирование четырех адресов A на первой информационной шине компаратора К в каждом такте работы тренажера, когда мантисса представлена числом {55; 25; 75; 99}. Информация на выходе ОЗУ в каждом такте представлена временной диаграммой (рис. 3.12, к).

Динамика работы информационного тракта микротренажера в момент считывания мантиссы {55; 25; 75; 99} со знаком порядка {1; 0} приведена на рис. 3.13. На вторых входах компаратора К циклично формируется адрес $B\{X; Y\}$ с частотой сканирования, которая на несколько порядков выше частоты тактирования микрокалькулятора МК. Линейная адресация (00...99) организуется трехдекадным счетчиком данных, выполненным на счетчиках младшей СХ, вспомогательной СД и старшей СУ декад (см. рис. 3.11). Изменение адресов на входах компаратора К показано на сдвоенной диаграмме (рис. 3.13, а), причем адресация $\{X_g; Y_g\}$ по шине В приведена в моменты инициации блока сравнения К. Сопоставление текущей A и эталонной B информации осуществляется в фазоимпульсной форме. Импульс на выходе компаратора К (рис. 3.13, б) формируется в момент равенства текущей A и линейно изменяющейся B информации за время одного цикла работы счетчиков СХ – СУ. Синхронно информация регистрируется в ячейках ОЗУ, адрес которых совпадает со сканирующим адресом B , поступающим одновременно и на адресные входы оперативного блока памяти. Запись информации осуществляется импульсом с выхода компаратора, воздействующим на соответствующий вход ОЗУ. Содержимым информации в ячейках ОЗУ программно управляет ПЗУ по выходу "d" импульсами, воздействующими на информационный вход оперативного блока памяти. Для рассматриваемого примера из ПЗУ выбрана десятая подпрограмма, формирующая на выходе "d" число-импульсный код {0101} (рис. 3.13, в).

Соответственно по адресам A мантисы $A_0 = 55; A_1 = 25; A_2 = 75; A_3 = 99$ в ячейки ОЗУ с аналогичными адресами $C_{ij} = A_{ij}$ будет загружена информация $D_{55} = 0; D_{25} = 1; D_{75} = 0; D_{99} = 1$, определяемая числом $\{i; j\}$ знака порядка (рис. 3.13, з).

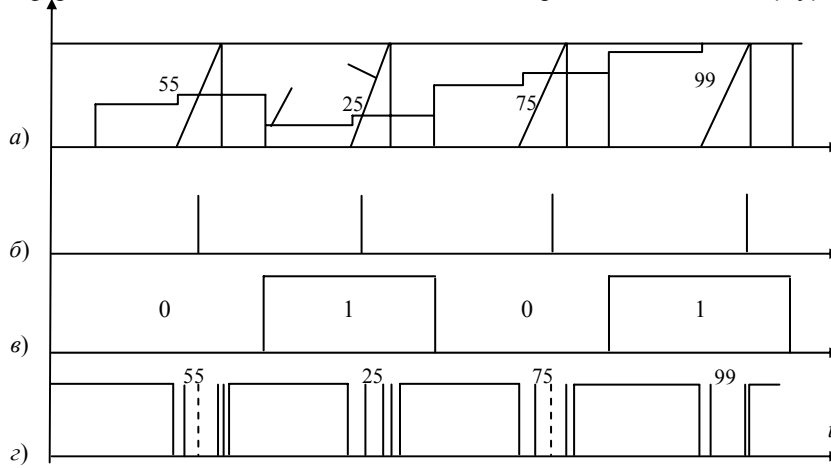


Рис. 3.13. Временные диаграммы информационного тракта ТЕМП-011

Информация из ОЗУ копируется на СДМ по принципу динамической индикации за счет линейной адресации как ОЗУ, так и выходного интерфейса, реализованного на СДМ, регистре PX и дешифраторе DY (см. рис. 3.11). Дешифратор DY инициирует включение j -го столбца посредством преобразования двоично-десятичного кода Y_e в позиционный десятичный код $N_{1/10}$ j -ми импульсами длительностью $t_j = T/n$ (рис. 3.14, а), где $j = \{0; n\}$ – позиция столбца. Для равномерной индикации поля матрицы в течение периода $T/(ln)$ информация выводится в нулевой декаде в момент времени t_{0j} (рис. 3.14, б). С этой целью в момент инициирующего t_j импульса формируют k вспомогательных импульсов ($k = \overline{0; l}$) одинаковой длительности (см. рис. 3.14, б), причем длительность t_{0j} организуют из $i = \{0; m\}$ импульсов младших разрядов X_e адреса B (рис. 3.14, в) периодом $T/(mln)$.

Таким образом, во времени формируется t_{0j} знакомест, в моменты появления которых выводится информация из ОЗУ в регистр PX строк (рис. 3.14, з – жс). Импульс знакоместа t_{0j} получается на выходе старшего разряда счетчика СД, воздействующего на вход предварительной записи регистра PX (см. рис. 3.11). Данные из ОЗУ поступают на информационный последовательный вход регистра PX в моменты появления t_{0j} -го знакоместа и последовательно загружают в i -е разряды регистра строк тактовыми импульсами. Последние воздействуют на вход синхронизации регистра PX с выхода генератора фаз микрокалькулятора МК.

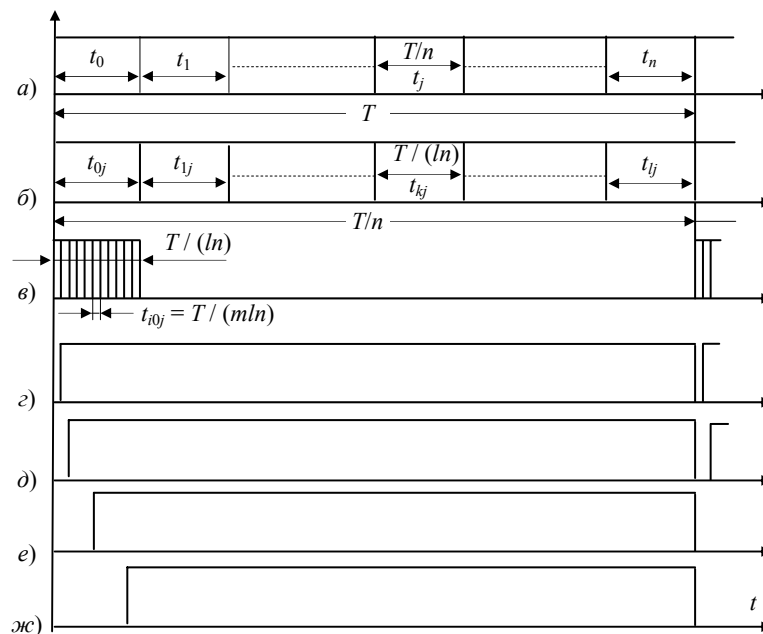


Рис. 3.14. Временные диаграммы тракта отображения

Индикация информации на СДМ осуществляется с выхода регистра PX на время формирования текущего старшего адреса, воздействующего с выхода дешифратора DY . При этом на СДМ выводится информация по столбцам, причем индицируют те светодиоды, к строкам которых приложен потенциал высокого уровня, соответствующий значению логической единицы. Информация на СДМ копируется полностью из ОЗУ в течение адресного цикла, определяемого емкостью счетчиков $CX - CY$.

Применение динамической индикации СДМ и программно-управляемого порта с гибким алгоритмом работы повышает информативность на два порядка, а гибкость программирования в 4 раза по сравнению с аналогичными параметрами ТЕМП-001.

Программное обеспечение микротренажера ТЕМП-011 рассмотрим на примере способов представления логических элементов в форме структурной схемы, таблицы истинности, временной диаграммы и матрицы (рис. 3.15). Блок-схема программы логического элемента приведена на рис. 3.16, а рис. 3.17 содержит программу функционирования логического элемента для микрокалькулятора МК-46. Описывающий мнемосхему алгоритм включает четыре цикла в соответствии с возможным числом состояний компаратора, описываемого структурной формулой $c = \overline{a}b + ab$.

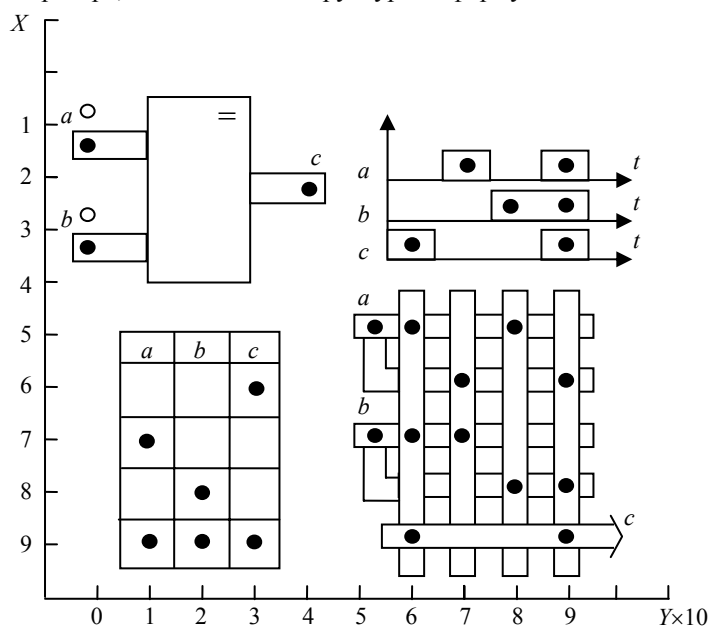


Рис. 3.15. Мнемосхема логического элемента равнозначности

Координаты состояний $\{C_j\}_0^2$ распределены в регистрах $\{P_k\}_2^7$, объединенных попарно. В этих циклах адреса из пары регистров индицируются на СДМ по восьми позициям и выключаются согласно подпрограмме ПП1 (см. рис. 3.16). Так, для состояния $\{0; 0\}$ последовательно во времени из регистров P2 и P3 выводятся адреса $\{63; 42; 36; 76\}$ и $\{96; 88; 98; 99\}$, код знака порядка при этом $\{1111\}$. Модификация кода $\{0000\}$ приводит к гашению светодиодов с указанными адресами. Индикация и выключение светодиодов осуществляются соответственно по подпрограммам ПП2 и ПП3 (см. рис. 3.16).

Имитация функционирования компаратора для состояния $\{1; 1\}$ определяется координатами адресов стека $\{S_e\}_0^5$. Перед обращением к стеку обнуляется операционный регистр $X = 0$ и его значение заносится в стек $S_6 = X$ в качестве метки выхода из цикла опроса стека. В регистр P8, выделенный для текущего адреса A_k , загружается значение стека. Координаты стека по подпрограмме ПП2 последовательно во времени индицируются на СДМ мнемостенда. При обнаружении метки в соответствии с условным переходом ($X = 0?$) координаты, указанные в стеке в последнем фрагменте программы, гасятся на мнемосхеме при обращении к подпрограмме ПП3.

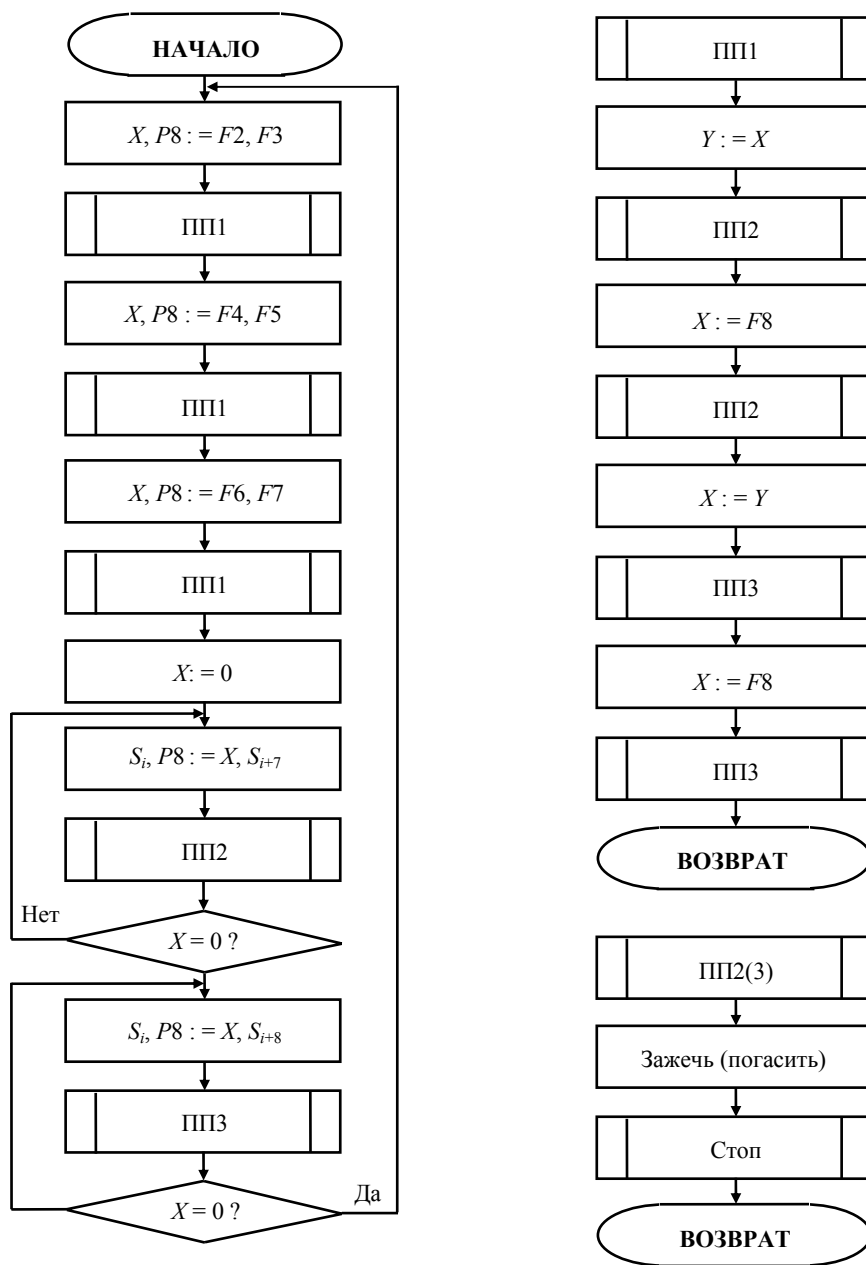


Рис. 3.16. Блок-схема программы логического элемента равнозначности

22	-	F2	-	01	06	-	↑	-	65
81	-	P8	-	02	68	-	[ПП]	-	70
32	-	F3	-	03	91	-	[P9]	-	71
68	-	[ПП]	-	04	82	-	F8	-	72
64	-	[6]	-	05	68	-	[ПП]	-	73
42	-	F4	-	10	91	-	[P9]	-	74
81	-	P8	-	11	78	-	C / П	-	75
52	-	F5	-	12	12	-	F1	-	80
68	-	[ПП]	-	13	68	-	[ПП]	-	81
64	-	[6]	-	14	84	-	[8]	-	82
62	-	F6	-	15	82	-	F8	-	83
81	-	P8	-	20	66	-	ВП	-	84
72	-	F7	-	21	14	-	1	-	85
68	-	[ПП]	-	22	08	-	↑	-	90
64	-	[6]	-	23	66	-	ВП	-	91
78	-	CX	-	24	14	-	1	-	92
43	-	P,	-	25	04	-	0	-	93
81	-	P8	-	30	82	-	F8	-	94
68	-	[ПП]	-	31	78	-	C / П	-	95
91	-	[9]	-	32	48	-	B / O	-	A0
59	-	[P(X=0)]	-	33					
25	-	[Fx]	-	34					

78	–	<i>C / Π</i>	–	35							
43	–	<i>P</i> ,	–	40	<i>P2</i>	–	63423676				
81	–	<i>P8</i>	–	41	<i>P3</i>	–	96889899				
68	–	$\overline{\overline{\overline{\Pi\Pi\Pi}}}$	–	42	<i>P4</i>	–	71011755				
84	–	$\overline{\overline{\overline{\overline{8}}}}$	–	43	<i>P5</i>	–	65858898				
59	–	$\overline{\overline{\overline{\overline{P(X=0)}}}}$	–	44							
36	–	$\overline{\overline{\overline{\overline{\div}}}}$	–	45	<i>P6</i>	–	82032857				
78	–	<i>C / Π</i>	–	50	<i>P7</i>	–	67777696				
58	–	<i>BP</i>	–	51	<i>P8</i>	–	<i>A_K</i>				
01	–	<i>PO</i>	–	52	<i>P9</i>	–	01010003				

s0	–	41010341			s3	–	55658585
s1	–	51929393			s4	–	57677769
s2	–	19293939			s5	–	57677769

Рис. 3.17. Программа работы логического элемента для микрокалькулятора "Электроника МК-46"

После выключения координат состояния {1; 1} заканчивается цикл программы и начинается следующий цикл. Дополнительные остановы (мнемocode C / Π) в программе микрокалькулятора МК-46 (см. рис. 3.17) предназначены для фиксации последнего состояния функционирования логического элемента. Программа мнемосхемы логического элемента позволяет исследовать работу двухходовых логических схем посредством изменения содержимого регистровой и стековой памяти необходимыми координатами. Приведенный пример составлен учениками 11 класса "А" школы № 13 г. Тамбова при обучении в "Школе молодого инженера" основам кибернетики.

Способы представления информации и преобразования сигналов, структурная схема микротренажера и блоки защищены авторскими свидетельствами СССР на изобретения: № 849492, БИ № 27, 1981; № 951304, БИ № 30, 1982; № 1092398, БИ № 18, 1984; № 1262706, БИ № 37, 1986; № 1312497, БИ № 19, 1987; № 1485111, патентом РФ № 2101772, БИ № 1, 1998.

Особенностями микротренажера ТЕМП-011 являются: удобство и наглядность имитаций процессов и объектов благодаря программно-управляемой мультипликации координат мнемосхемы; оперативность и экономичность сканирования светодиодной матрицы за счет считывания информации со значимых координат; простота и доступность анализа и синтеза алгоритмов, программ, состояний и схем на различных иерархических уровнях вследствие использования матричного способа представления информации; высокая надежность и помехозащищенность, обусловленные применением оригинальных схемных решений и конструкций; простота программирования координат на мнемосхеме вследствие задания адресов парами чисел мантиссы, программно-управляемых числами показателя степени; технологичность и низкая стоимость, малая масса и мобильность.

ТЕМП-011 изготовлен на базе микрокалькулятора "Электроника МК-46", светодиодах АЛ307, микросхемах сер. К564. Размерность матрицы 10 × 10; число выводимых адресов в цикле – четыре по 16 сочетаниям позиций, управляемых программно; число координат индикации в кадре 0...99; частота смены кадра 400 Гц. Формат мнемосхемы 395 × 250 мм; потребляемая мощность не более 25 Вт; питание 220 В, 50 Гц; габаритные размеры мнемостенда 420 × 250 × 120 мм; масса не более 6 кг.

Анализ приведенных решений показывает широкий диапазон применения микротренажеров от дискретной комбинаторной до интегральной матричной техники, от жесткого алгоритма работы до универсального и гибкого, управляемого по программе. Последнее особенно ярко проявляется в универсальных микротренажерах, являющихся, по существу, не только вспомогательными микропроцессорными средствами, но и функционально завершенными программно-управляемыми приборами-контроллерами.

СПИСОК ЛИТЕРАТУРЫ

1. Автоматизированная система АИСТ для теплофизических измерений / В.И. Ляшков, Е.И. Глинкин и [др.] // ПТЭ. – 1988. – № 4. – С. 245.
2. Алексенко, А.Г. Основы микросхемотехники / А.Г. Алексенко. – М. : Сов. радио, 1977. – 408 с.
3. Алексенко, А.Г. Микросхемотехника / А.Г. Алексенко, И.И. Шагурин. – М. : Радио и связь, 1982. – 416 с.
4. Альтшуллер, Г.С. Найти идею / Г.С. Альтшуллер. – Новосибирск : Наука, 1992. – 200 с.
5. Азизов, А.М. Точность измерительных преобразователей / А.М. Азизов, А.Н. Гордов. – Л. : Энергия, Ленингр. отд-ние, 1975. – 256 с.
6. Балашов, Е.П. Микропроцессоры и микропроцессорные системы / Е.П. Балашов, Д.В. Пузанков. – М. : Радио и связь, 1981. – 328 с.
7. Батлев, И.М. Интерфейс для микрокалькулятора: "Электроника БЗ-21" / И.М. Батлев // ПТЭ. – 1985. – № 2. – С. 122–123.
8. Богданов, С.В. Терморегулятор и индикатор уровня гелия на микрокалькуляторе МК-46 / С.В. Богданов, Н.Я. Донченко // ПТЭ. – 1987. – № 1. – С. 222–223.
9. Браславский, Д.А. Точность измерительных устройств / Д.А. Браславский, В.В. Петров. – М. : Машиностроение, 1976. – 312 с.
10. Бребрин, В.Н. Программное обеспечение персональных ЭВМ / В.Н. Бребрин. – М. : Наука, 1988. – 278 с.
11. Бренер, М.Д. Методы определения динамических характеристик средств измерений / М.Д. Бренер, Г.Н. Солопченко, В.М. Хрумало // сб. "Измерения, контроль, автоматизация". – 1979. – Вып. 1. – С. 19–29.
12. Бурдун, Г.Д. Основы метрологии / Г.Д. Бурдун, Б.Н. Марков. – М. : Стандарты, 1975. – 336 с.
13. Валиев, Л.А. О предельных значениях основных параметров быстродействующих СБИС на полевых транзисторах / Л.А. Валиев, В.Э. Каменский, А.А. Кокин // Микроэлектроника. – 1987. – Т. 16. – Вып. 1. – С. 3–14.
14. Воскрюкнатов, Н.Г. Информационно-измерительная техника / Н.Г. Воскрюкнатов, Н.Н. Евтихийев. – М. : Высшая школа, 1977. – 232 с.
15. Газарян, И.А. Применение базовых матричных кристаллов – перспективный путь приборостроения / И.А. Газарян, Н.Ф. Громова // Приборы и системы управления. – 1986. – № 10. – С. 35–38.
16. Герасимов, Б.И. Микропроцессоры в приборостроении / Б.И. Герасимов, Е.И. Глинкин. – М. : Машиностроение, 1997. – 246 с.
17. Герасимов, Б.И. Микропроцессорные аналитические приборы / Б.И. Герасимов, Е.И. Глинкин. – М. : Машиностроение, 1989. – 248 с.
18. Гилмор, Ч. Введение в микропроцессорную технику / Ч. Гилмор. – М. : Мир, 1984. – 334 с.
19. Глинкин, Е.И. Схемотехника микропроцессорных систем / Е.И. Глинкин. – Тамбов : Изд-во Тамб. гос. техн. ун-та, 1998. – 158 с.
20. Глинкин, Е.И. Схемотехника БИС: автоматические интерфейсы ввода-вывода / Е.И. Глинкин. – Тамбов : Изд-во Тамб. гос. техн. ун-та, 1999. – 72 с.
21. Глинкин, Е.И. Схемотехника СИС / Е.И. Глинкин. – Тамбов : Изд-во Тамб. гос. техн. ун-та, 1999. – 48 с.
22. Глинкин, Е.И. Схемотехника микропроцессорных измерительных средств / Е.И. Глинкин, А.В. Кирьянов, А.Е. Бояринов. – Тамбов : Изд-во Тамб. гос. техн. ун-та, 1998. – 60 с.
23. Глинкин, Е.И. Схемотехника ИС / Е.И. Глинкин, А.В. Кирьянов, С.В. Петров. – Тамбов : Изд-во Тамб. гос. техн. ун-та, 1999. – 28 с.
24. Гольденберг, Л.М. Импульсные устройства / Л.М. Гольденберг. – М. : Радио и связь, 1981. – 224 с.
25. Грановский, В.А. Динамические измерения: Основы метрологического обеспечения / В.А. Грановский. – Л. : Энергоатомиздат, Ленингр. отд-ние, 1984. – 224 с.
26. Гришин, Ю.П. Микропроцессоры в радиотехнических системах / Ю.П. Гришин, Ю.М. Казаринов, В.М. Катиков. – М. : Радио и связь, 1982. – 280 с.
27. Грошев, В.Н. Проектирование измерительно-вычислительных систем на множестве состояний функционирования / В.Н. Грошев, Ю.Л. Муромцев, Е.И. Глинкин. – Тамбов : ТИХМ, 1984. – С. 26. – Деп. в НИИТЭХИМ, № 960 ХП-ДВЗ.
28. Гуртовцев, А.А. Программы для микропроцессоров : справ. пособие / А.А. Гуртовцев, С.В. Гудыменко. – М. : Высшая школа, 1989. – С. 352.
29. Гусев, В.В. Основы импульсной и цифровой техники / В.В. Гусев. – М. : Сов. радио, 1977. – 440 с.
30. Гутников, В.С. Интегральная электроника в измерительных устройствах / В.С. Гутников. – Л. : Энергоатомиздат, 1988. – 304 с.
31. Дамке, М. Операционные системы микроЭВМ / М. Дамке. – М. : Финансы и статистика, 1985. – С. 150.
32. Дьяконов, В.П. Персональные ЭВМ в аппаратуре и технике эксперимента / В.П. Дьяконов // Приборы и техника эксперимента. – 1986. – № 1. – С. 7–18.
33. Дьяконов, В.П. Программируемые микрокалькуляторы в аппаратуре и технике эксперимента / В.П. Дьяконов // ПТЭ. – 1985. – № 6. – С. 5–18.
34. Елисеева, И.И. Эконометрия / И.И. Елисеева, В.П. Чернов, Ю.Н. Эйснер. – М. : Финансы и статистика, 1997.
35. Иванцов, А.И. Основы теории чувствительности измерительных устройств / А.И. Иванцов. – М. : Стандарты, 1972. – 212 с.
36. Игра "Электроника" ИМО2 с часами-будильником : руководство по эксплуатации. – М. : ЛКУП, 1985. – 16 с.
37. Измерительно-вычислительная система для определения состава и свойств электролитов / Б.И. Герасимов, Е.И. Глинкин и [др.] // ПТЭ. – 1985. – № 4. – С. 250.

38. Измерительно-вычислительная система для определения теплофизических характеристик материалов / Е.И. Глинкин и [др.] // ПТЭ. – 1984. – № 3. – С. 238.
39. Измерительно-вычислительная система разбраковки материалов по сопротивлению / Б.И. Герасимов, Е.И. Глинкин и [др.] // ПТЭ. – 1984. – № 3. – С. 239.
40. Измерительно-вычислительная система "Термис" / Е.И. Глинкин и [др.] // ПТЭ. – 1986. – № 3. – 231 с.
41. Измерительно-вычислительная система "Термис-М" / Е.И. Глинкин, М.Е. Беспалов и [др.] // ПТЭ. – 1988. – № 3. – С. 265.
42. Использование микрокалькулятора "Электроника МК-46" для управления электропечью / М.С. Юнусов и [др.] // ПТЭ. – 1987. – № 3. – С. 220–221.
43. Зельдин, Е.А. Цифровые интегральные схемы в информационно-измерительной аппаратуре / Е.А. Зельдин. – Л. : Энергоатомиздат, 1986. – 280 с.
44. Земельман, М.А. Метрологические основы технических измерений / М.А. Земельман. – М. : Изд-во стандартов, 1991. – 228 с.
45. Казаков, А.В. О задаче оптимального проектирования (параметрического синтеза) измерительного преобразователя / А.В. Казаков / научн. техн. реф. сб. НИИТЭХИМ. Автоматизация. – М., 1975. – Вып. 8. – С. 25 – 34.
46. Казаков, А.В. Автоматизация технологических процессов пищевых производств / А.В. Казаков. – М. : Агропромиздат, 1985. – С. 318 – 334.
47. Калабеков, Б.А. Цифровые устройства и микропроцессорные системы / Б.А. Калабеков, И.А. Мамзелев. – М. : Радио и связь, 1987. – 440 с.
48. Кейслер, С. Проектирование операционных систем для малых ЭВМ / С. Кейслер. – М. : Мир, 1986. – 680 с.
49. Кини, Л.Р. Принятие решений при многих критериях: предпочтения и замещения / Л.Р. Кини, Х. Райфа. – М. : Радио и связь, 1981. – 560 с.
50. Клейнрок, В. Вычислительные системы с очередями / В. Клейнрок. – М. : Сов. радио, 1973. – 198 с.
51. Клингман, Э. Проектирование специализированных микропроцессорных систем / Э. Клингман. – М. : Мир, 1985. – 363 с.
52. Кнут, Д.Е. Искусство программирования для ЭВМ. Сортировка и поиск / Д.Е. Кнут. – М. : Мир, 1978. – Т. 3. – 843 с.
53. Кобринский, М.Е. Быстрее мысли / М.Е. Кобринский, В.Л. Пекелис. – М. : Молодая гвардия, 1963. – 472 с.
54. Консон, А.С. Экономические расчеты в приборостроении / А.С. Консон. – М. : Высшая школа, 1983. – 160 с.
55. Кораблев, И.В. Использование статистических методов при проектировании и оптимизации эксплуатационных режимов аналитических приборов / И.В. Кораблев. – М. : ЦНИИТЭнефтехим, 1983. – 43 с.
56. Кораблев, И.В. Микропроцессорный анализатор состава и свойств веществ / И.В. Кораблев, Б.И. Герасимов, Е.И. Глинкин, В.В. Тен // Методы кибернетики химико-технологических процессов. – М. : НИИТЭХИМ, 1984. – С. 220.
57. Кораблев, И.В. Расчет и проектирование аналитических приборов на основе точностных критериев / И.В. Кораблев. – М. : НИИТЭХИМ, 1982. – 34 с.
58. Кораблев, И.В. Математическое моделирование высокочастотных бесконтактных кондуктометров с емкостно-индуктивными преобразователями / И.В. Кораблев, В.В. Тен, Б.И. Герасимов // Отечественный производственный опыт: Экспресс-информация. Сер. "Автоматизация химических производств". – М. : НИИТЭХИМ, 1984. – Вып. 10. – С. 20 – 27.
59. Косарев, Ю.А. Электрически изменяемые ПЗУ / Ю.А. Косарев, С.В. Виноградов. – Л. : Энергоатомиздат, 1985. – 70 с.
60. Костенко, С.В. Выбор структуры измерительного устройства по трем показателям качества / С.В. Костенко // научн. техн. реф. сб. НИИТЭХИМ "Автоматизация". – М., 1981. – Вып. 1. – С. 24 – 29.
61. Лебедев, О.Н. Микросхемы памяти и их применение / О.Н. Лебедев. – М. : Радио и связь, 1990. – 180 с.
62. Малышев, В.М. Гибкие автоматизированные системы / В.М. Малышев, А.И. Механиков // Измерительная техника. – 1986. – № 2. – С. 3–4.
63. Малышев, В.М. Гибкие измерительные системы в метрологии / В.М. Малышев, А.И. Механиков. – М. : Изд-во стандартов, 1988. – 176 с.
64. Мартин, Дж. Программирование для вычислительных систем реального времени / Дж. Мартин. – М. : Мир, 1973. – 344 с.
65. Метрологическое обеспечение и эксплуатация измерительной техники / Г.П. Богданов, А.А. Кузнецов, М.А. Лотов и [др.] ; под ред. В.А. Кузнецова. – М. : Радио и связь, 1990. – 240 с.
66. Микроконтроллеры, контроллеры, системы и сети "ТЕМП". – Тамбов : Пролетарский светоч, 1990. – 48 с.
67. Микропроцессоры. Архитектура и проектирование микроЭВМ : в 3 кн. / под ред. Л.Н. Преснухина. – М. : Высшая школа, 1986. – Кн. 1 – 495 с.
68. МикроЭВМ : пер. с англ. ; под ред. А. Дирксена. – М. : Энергоиздат, 1982. – 328 с.
69. Микроэлектронная технология и ее влияние на общество : сб. статей ; пер. с англ. – М. : Знание, 1987. – 160 с.
70. Мирский, Г.Я. Микропроцессоры в измерительных приборах / Г.Я. Мирский. – М. : Радио и связь, 1984. – 160 с.
71. Мищенко, С.В. Выбор метода неразрушающего контроля теплофизических характеристик образцов с учетом множества состояний функционирования измерительных устройств / С.В. Мищенко, А.А. Чуриков // Инженерно-физический журнал. – 1989. – Т. 57, № 1. – С. 61 – 69.
72. Моисеев, Н.Н. Математические методы системного анализа / Н.Н. Моисеев. – М. : Наука, 1981. – 488 с.
73. Муромцев, Ю.Л. Безаварийность и диагностика нарушений в химических производствах / Ю.Л. Муромцев. – М. : Химия, 1990. – 144 с.
74. Наркавичюс, В.К. Использование микрокалькулятора "Электроника МК-46" для автоматической обработки экспериментальных данных / В.К. Наркавичюс, Г.Н. Рачюкайтис // ПТЭ. – 1987. – № 2. – С. 74 – 77.
75. Нельга, А.Т. Устройство ввода технологической информации в микрокалькулятор "Электроника БЗ-21" / А.Т. Нельга, А.П. Тихобаев // ПСУ. – 1983. – № 11. – С. 33.

76. Новицкий, П.В. Динамика погрешностей средств измерений / П.В. Новицкий, И.А. Зограф, В.С. Лабунец. – Л. : Энергоатомиздат, Ленингр. отд-ние, 1990. – 192 с.
77. Носенко, В.А. Программно-технический метрологический комплекс автоматизированной поверки средств измерений / В.А. Носенко // Измерительная техника. – 1988. – № 12. – С. 3 – 5.
78. Программируемые микрокалькуляторы / под ред. Я.К. Трохименко. – М. : Радио и связь, 1990. – 272 с.
79. Программное обеспечение микропроцессорных систем : справочник. – Киев : Техніка, 1989. – 301 с.
80. Рабинович, С.Г. Погрешности измерений / С.Г. Рабинович. – Л. : Энергия, Ленингр. отд-ние, 1978. – 262 с.
81. Разработка САПР. Системотехнические задачи создания САПР : практ. пособие : в 10 кн. / А.Н. Данчук, Л.Я. Полуянт ; под ред. А.В. Петрова. – М. : Высшая школа, 1990. – Кн. 2. – 144 с.
82. Салуквадзе, М.Е. Задачи векторной оптимизации в теории управления / М.Е. Салуквадзе. – Тбилиси : Мецниереба, 1975. – 201 с.
83. Свешников, А.А. Основы теории ошибок / А.А. Свешников. – Л. : ЛГУ, 1972. – 126 с.
84. Серегина, Н.И. Определение погрешностей прямых измерений изменяющихся величин / Н.И. Серегина, Г.Н. Солопченко, В.Н. Хрумало // сб. "Измерения, контроль, автоматизация". – 1978. – Вып. 4. – С. 14 – 27.
85. Стахов, А.П. Коды золотой пропорции / А.П. Стахов. – М. : Радио и связь, 1984. – 152 с.
86. Семенов, Н.П. Программируемый класс с МК-56 / Н.П. Семенов, В.В. Панарский // Радио. – 1988. – № 3. – С. 25 – 27.
87. Соболев, И.М. Выбор оптимальных параметров в задачах со многими критериями / И.М. Соболев, Р.Б. Статников. – М. : Наука, 1981. – 110 с.
88. Сobotка, З. Микропроцессорные системы / З. Сobotка, Л. Стары. – М. : Энергоиздат, 1981. – 496 с.
89. Современное состояние и перспективы развития высокочастотной бесконтактной кондуктометрии в промышленности по производству минеральных удобрений / Б.И. Герасимов, С.В. Мищенко, В.Ю. Смирнов и [др.] // Обзоры инф. Сер. "Минеральные удобрения и серная кислота". – М. : НИИТЭХИМ, 1989. – 40 с.
90. Солдатенко, Л.М. Микрокалькулятор "Электроника МК-46" для автоматизации ТП / Л.М. Солдатенко, В.П. Захаров // ПСУ. – 1983. – № 11. – С. 12–13.
91. Солдатенко, Л.М. Микрокалькулятор "Электроника МК-49" для локальных систем управления / Л.М. Солдатенко, Б.К. Чернецкий // ПСУ. – 1986. – № 7. – С. 31 – 33.
92. Справочник по цифровой вычислительной технике: (программное обеспечение) / Б.Н. Малиновский, В.В. Липаев, Т.Ф. Слободинюк и [др.] ; под ред. Б.Н. Малиновского. – Киев : Техніка, 1981. – 207 с.
93. Субетто, А.И. Квалиметрия в приборостроении и машиностроении / А.И. Субетто, Ю.Н. Андрианов. – Л. : Машиностроение, 1990. – 216 с.
94. Супрунчук, В.И. Приставка-программатор к ПМК / В.И. Супрунчук // Радио. – 1987. – № 4. – С. 24 – 28.
95. Терехин, В.И. Об оптимизации периода производства приборов / В.И. Терехин // Приборы и системы управления. – 1986. – № 1. – С. 42–43.
96. Титце, У. Полупроводниковая схемотехника / У. Титце, К. Шенк ; пер. с нем. – М. : Мир, 1982. – 512 с.
97. Устройство программное "Сигнал 201" : руководство по эксплуатации 2.940.003 РЭ. – Орел, 1990. – 18 с.
98. Чернявский, Е.А. Измерительно-вычислительные средства автоматизации производственных процессов / Е.А. Чернявский, Д.Д. Недосекин, В.В. Алексеев. – Л. : Энергоатомиздат, 1989. – 272 с.
99. Шаттелес, Т. Современные эконометрические методы / Т. Шаттелес. – М. : Статистика, 1975. – 240 с.
100. Шилейко, А.В. Беседы об информатике / А.В. Шилейко, Т.И. Шилейко. – М. : Молодая гвардия, 1989. – 287 с.
101. Шорников, Е.А. Применение микрокалькуляторов в аппаратуре измерения расхода / Е.А. Шорников // ПСУ. – 1982. – № 5. – С. 35–36.
102. Шумский, А.В. Программатор с памятью на магнитной ленте / А.В. Шумский // Радио. – 1988. – № 3. – С. 23 – 26.
103. Храпко, П.С. Программатор для микрокалькулятора / П.С. Храпко // Радио. – 1986. – № 5. – С. 20 – 23.
104. Хьюз, Дж. Структурный подход к программированию / Дж. Хьюз, Дж. Мичном ; пер. с англ. – М. : Мир, 1980. – 280 с.
105. Царев, В.П. Кварцевые электронные часы / В.П. Царев, И.В. Синдин. – М. : Высшая школа, 1990. – 240 с.
106. Цветков, Э.И. Измерительно-вычислительные средства и формальная метрология / Э.И. Цветков // Измерительная техника. – 1983. – № 9. – С. 25 – 28.
107. Цветков, Э.И. Метрологическое обеспечение процессорных измерительных средств / Э.И. Цветков // Приборы и системы управления. – 1986. – № 1. – С. 14 – 16.
108. Цветков, Э.И. Применение имитационного моделирования в составе метрологического обеспечения / Э.И. Цветков // Измерительная техника. – 1985. – № 7. – С. 9–10.
109. Экспресс Т.: Проспект. – Тамбов : Пролетарский светоч, 1988. – 2 с.
110. Электроника: Прошлое, настоящее, будущее / пер. с англ. ; под ред. В.И. Сифорова. – М. : Мир, 1980. – 196 с.
111. Электронная самоходная программно-управляемая модель лунохода "Электроника" : руководство по эксплуатации. – Солнечногорск, 1985. – 26 с.

